


ծրագրերի մասնագետ» և կատարում են գիտական, գիտատեխնիկական և գիտամանկավարժական աշխատանքներ:

Հաշվի առնելով վերոնշյալ հանգամանքները, խնդրում են ինձ ազատել պարտադիր զինվորական ծառայությունից, ըստ 2019 թվականի փետրվարի 15-ի N 89-Ն որոշման՝ գիտական գործունեությունն աշխատանքի վրա նպատակով:

Կից ներակայացնում եմ հետևյալ փաստաթղթերը՝

- բակալավրիատի և մագիստրատուրայի դիպլոմների պատճենները,
- անձնագրի պատճենը,
- ՀՀ ԲՈԿ-ից վկայագիրը,
- ՀԱՊՀ-ից աշխատանքի վերաբերյալ տեղեկանքը,
- «Միևութիս Արմենիա» ՓԲԸ-ից տեղեկանքը,
- ասպիրանտուրայում սովորելու ընթացքում տպագրված հոդվածների պատճենները,
- ռեզյումեն:

Դիմող՝  Ս. Վ. Մարտիրոսյան
23.12.2020 թ.

ՀԱՅԱՍՏԱՆԻ ԳԻՏՈՒԹՅՈՒՆՆԵՐԻ ԱԶԳԱՅԻՆ ԱԿԱԴԵՄԻԱՅԻ
ԵՎ ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ
ՀԱՄԱԼՍԱՐԱՆԻ

ՏԵՂԵԿԱԳԻՐ

ՏԵԽՆԻԿԱԿԱՆ ԳԻՏՈՒԹՅՈՒՆՆԵՐԻ ՍԵՐԻԱ

Հատոր 72

N 3

ՀՈՒԼԻՍ - ՍԵՊՏԵՄԲԵՐ

ԵՐԵՎԱՆ 2019

ИЗВЕСТИЯ

НАЦИОНАЛЬНОЙ АКАДЕМИИ НАУК АРМЕНИИ И
НАЦИОНАЛЬНОГО ПОЛИТЕХНИЧЕСКОГО УНИВЕРСИТЕТА
АРМЕНИИ

СЕРИЯ ТЕХНИЧЕСКИХ НАУК

Том 72

N 3

ИЮЛЬ - СЕНТЯБРЬ

ЕРЕВАН 2019

PROCEEDINGS

OF THE REPUBLIC OF ARMENIA NATIONAL ACADEMY OF
SCIENCES AND NATIONAL POLYTECHNIC UNIVERSITY OF
ARMENIA

SERIES OF TECHNICAL SCIENCES

Volume 72

N 3

JULY - SEPTEMBER

YEREVAN 2019

Մ.Կ. ՄԱՐՏԻՐՈՍՅԱՆ

ԹՎԱՅԻՆ ՍՏԱՆԴԱՐՏ ԲԶԻՋՆԵՐԻ ՊԱՐԱՄԵՏՐԱԿԱՆ ՕԳՏԻՄԱԼԱՑՈՒՄԸ
ԳԵՆԵՏԻԿ ԱԼԳՈՐԻԹՄՆԵՐԻ ԿԻՐԱՌՄԱՄԲ

Առաջարկվում է եռաչափ փականով տրանզիստորներով (ԵՓՏ) նախագծված թվային սխեմաների գենետիկ ալգորիթմների օգտագործմամբ պարամետրական օպտիմալացման մեթոդ, որը կիրառելի է ինչպես համակցական, այնպես էլ հաջորդական սխեմաների դեպքում: Այն թույլ է տվել մոտ 10 անգամ արագացնել պարամետրական օպտիմալացումը: Նախագծվել է թվային ստանդարտ բջիջների գրադարան՝ կազմված 25 տեսակի տարրերից, որոնց պարամետրերի շեղումները մոտ 10%-ով ավելի քիչ են՝ առանց մեթոդի կիրառմամբ ստացված տվյալներից: Մեթոդը կարելի է կիրառել ԵՓՏ համակարգերում նախագծված թվային սխեմաների ժամանակային պարամետրերի օպտիմալացման գործընթացում:

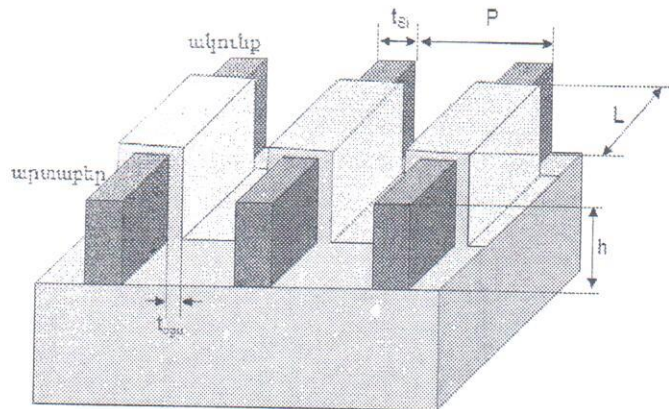
Առանցքային բառեր. գենետիկ ալգորիթմ, պարամետրական օպտիմալացում, նպատակային ֆունկցիա, էվոլյուցիոն ալգորիթմ, թվային սխեմաներ, եռաչափ փականների տեխնոլոգիա:

Ներածություն: Ներկայումս թվային ինտեգրալ սխեմաները (ԻՍ) պարունակում են ընդհուպ մինչև միլիարդավոր տրանզիստորներ և նախագծվում են ավտոմատ եղանակով: Այդ դեպքում օգտագործվում են թվային ստանդարտ բջիջների պատրաստի գրադարաններ [1], որոնց պարունակության մեջ մտնում են թվային տարրերի ժամանակային մոդելները [2]: Մինչ այդ մոդելները ստեղծելը՝ անհրաժեշտ է կատարել առանձին բջիջների սխեմատիկական նախագծում և օպտիմալացում: Օպտիմալացման համար ծախսվում է բավականին մեծ ժամանակ, որը ենթադրում է, որ այդ փուլի ավտոմատացումը կնվազեցնի ընդհանուր նախագծման տևողությունը: Շատ հաճախ նման տեսակի ավտոմատացման խնդիրները ներկայացվում և լուծվում են էվոլյուցիոն ալգորիթմներով (ԷԱ):

Հայտնի է [3], որ գենետիկ ալգորիթմները (ԳԱ) օգտագործվում են որոնողական և օպտիմալացման խնդիրների լուծման ընթացքում: Սխեմաների պարամետրական օպտիմալացման ընթացքում այդ խնդիրը բերվում է պարամետրերի այնպիսի արժեքների որոնմանը, որոնց դեպքում տվյալ սխեման կաշխատի տեխնիկական առաջադրանքում սահմանված չափանիշներին համապատասխան:

Քանի որ եռաչափ փականներով տրանզիստորների (ԵՓՏ) միջոցով նախագծված թվային սխեմաներում օպտիմալացման դեպքում հիմնականում վերցվում են եռաչափ փականների (ԵՓ) քանակները՝ որպես մուտքային պարամետր (նկ. 1),

որն այդ տեխնոլոգիայում ընդունում է դիսկրետ արժեքներ, ուստի դա հնարավորություն է տալիս էԱ-երի կիրառմամբ կատարել մեծ քանակի փականներ պարունակող համակցական և հաջորդական սխեմաների պարամետրական օպտիմալացում:



Նկ.1. ԵՓՏ-ի տեսքը

Օպտիմալացման որոշ խնդիրներ հանգում են նվազագույն տրամաբանական փականների քանակի որոնմանը [4], որի դեպքում հնարավոր է իրականացնել տրված ֆունկցիոնալությունը: Այդ տեսակի խնդիրը կարելի է լուծել Քվայն-Մակլասկու [5] եղանակով, սակայն հարյուր հազարավոր փականների դեպքում նպատակահարմար է օգտագործել էԱ-ները: Վերջիններիս կիրառմամբ կարելի ստացված սխեմայում կատարել տարրերի փոխարինում և իսկության աղյուսակների համեմատման միջոցով գտնել նվազագույն քանակի փականները [6,7]:

[8]-ում ներկայացված մեթոդի օգտագործմամբ, երբ որպես նպատակային ֆունկցիա վերցված է տարածման հապաղման և մակերեսի արտադրյալը, հնարավոր է կատարել համակցական սխեմաների պարամետրական օպտիմալացում: Մակայն այս դեպքում հաշվի առնված չեն աճող և նվազող ճակատների տևողությունները:

Մակերեսի և սպառվող հզորության փոքրացման համար կարելի է փոքրացնել տրանզիստորների քանակները [9]: [10,11]-ում համակցական սխեման ներկայացվում է որպես քրոմոսոմի հաջորդական կարգեր, որի վրա էլ կիրառվում է ԳԱ-ը: Այս մեթոդով երկուական համակարգի փոխարեն օգտագործվում է տասականը, որը հնարավորություն է տալիս կրճատել օպտիմալացման տևողությունը: [12]-ում ներկայացված է [10,11]-ի բարելավման միջոցով տրանզիստորների քանակի և սխեմայի մակերեսի նվազեցման մեթոդը:

Առաջարկվում է նպատակային ֆունկցիան ներկայացնել ֆունկցիայի ընթացիկ և տեխնիկական առաջադրանքով տրված արժեքների տարբերության տեսքով: Այդ նպատակով ֆունկցիայի ընթացիկ արժեքը ներկայացված է հետևյալ տեսքով՝

$$Y = F_{ti}(nfin_0, nfin_1, \dots, nfin_k), \quad (1)$$

որտեղ $ti = (tr, trf, t_{plh}, t_{phi}, t_{setup}, t_{hold})$, tr -ը և trf -ը ելքային ճակատի աճման և նվազման ժամանակներն են, t_{plh} -ը և t_{phi} -ն՝ ցածրից բարձր և բարձրից ցածր տարածման հապաղումները, t_{setup} -ը և t_{hold} -ը՝ տեղակայման և պահպանման ժամանակները, $nfin_k$ -ն՝ k -րդ տրանզիստորի ԵՓ-ների քանակը:

$nfin_0, nfin_1, \dots, nfin_k$ -ն նշանակելով $nfin_{i,k}$ -ով (1)՝ արտահայտությունը կրնորնի հետևյալ տեսքը՝

$$Y = F_{ti}(nfin_{i,k}): \quad (2)$$

Նպատակային ֆունկցիա: Ունենալով ֆունկցիայի (2) տեսքը, ինչպես նաև տեխնիկական առաջադրանքով տրված արժեքը՝

$$Y = F(ti), \quad (3)$$

որը ցույց է տալիս ժամանակային պարամետրի ցանկալի արժեքները, կարելի է (3)-ի և (2)-ի տարբերությամբ սահմանել նպատակային ֆունկցիա՝ հետևյալ տեսքով՝

$$a_{min} \leq F(ti) - F_{ti}(nfin_{i,k}) \leq a_{max}, \quad (4)$$

որտեղ a_{min} -ը և a_{max} -ը թույլատրելի նվազագույն և առավելագույն շեղումներն են:

Նպատակային ֆունկցիան ներկայացնում է (4) արտահայտությունը: Պահանջվում է գտնել այն $nfin_{i,k}$ -ն, որի դեպքում $F_{ti}(nfin_{i,k})$ -ի շեղումը $F(ti)$ -ից կլինի թույլատրելի սահմանում:

Սահմանափակումներն են՝

$$nfin_{min} \leq nfin_k \leq nfin_{max}, \quad (5)$$

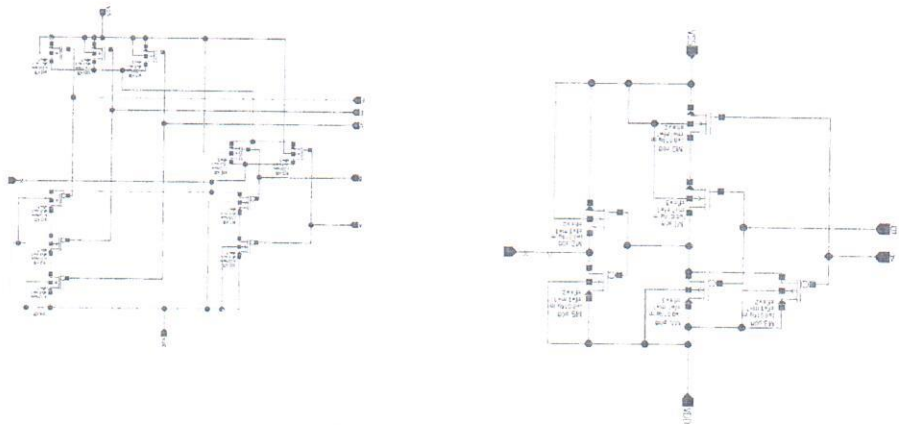
$$nfin_{k+1} - nfin_k = nfin_s, \quad (6)$$

որտեղ $nfin_{min}$ -ը և $nfin_{max}$ -ը ԵՓ-ների նվազագույն և առավելագույն քանակներն են, իսկ $nfin_s$ -ը՝ թույլատրելի նվազագույն քայլը:

Ալգորիթմի նկարագրությունը: Պոպուլյացիան ներկայացնում է բոլոր տրանզիստորների ԵՓ-ների քանակների հնարավոր արժեքների կարգավորությունների բազմությունը, որը կարելի է տալ $nfin_{i,k}$ տեսքով: Քրոմոսոմը այդ կարգավորություններից որևէ մեկն է, զենը՝ տվյալ տրանզիստորի ԵՓ-ների քանակը:

Այդ. 1-ում բերված են «ԲՅՅԲ Բ.ՌԻ ԿԱՏԱՐԱՆ»-ի և «ԲՅՅԲ Բ.ՌԻ ԿԱՏԱՐԱՆ»-ի ստանդարտները, որոնք ներկայումս օգտագործվում են 10 ամսվա ընթացքում:

Նկ. 2. «ԲՅՅԲ Բ.ՌԻ ԿԱՏԱՐԱՆ»-ի ստանդարտները



1. Մոտիվները և պարամետրերը:
2. Պարամետրերի և հաշվարկների (ՊՀ) հաշվարկները:
3. Հաշվարկները և փոխարինումները: Առաջին փոխարինումները:
4. ՊՀ-ի վերջին և 2-րդ փոխարինումները: ՊՀ-ի վերջին փոխարինումները:
5. Հաշվարկները և (2) փոխարինումները:
6. Մոտիվները և (5) փոխարինումները: Հաշվարկները և փոխարինումները:
7. 6-րդ և 5-րդ փոխարինումները և փոխարինումները:
8. Եթե փոխարինումները փոխարինումները և փոխարինումները:
- Ստանդարտները և փոխարինումները: Նկ. 2-ում պատկերված են «ԲՅՅԲ Բ.ՌԻ ԿԱՏԱՐԱՆ»-ի ստանդարտները և փոխարինումները:

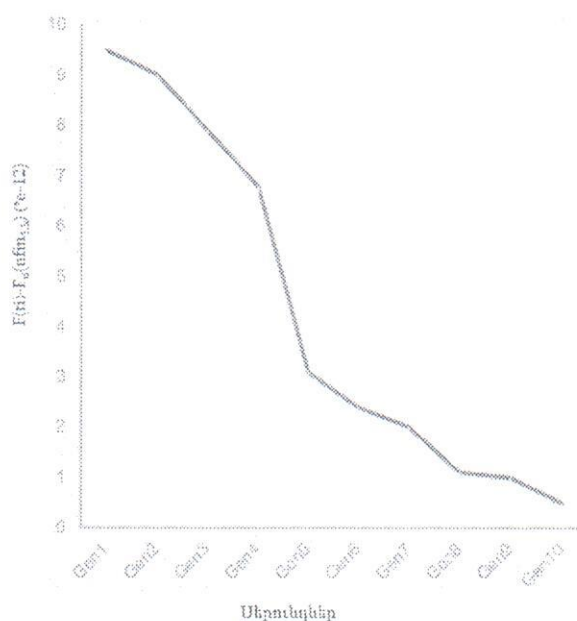
բարձր արդյունավետություն՝ ԿՍՕԿ-ովի համեմատ [14] և մոտ 10 %-ով քիչ տարբերությունն ԵՓՏ համակարգերում՝ առանց այդ մեթոդի նախագծման համեմատ:

Աղյուսակ 1

Աճման և նվազման ճակատների տևողությունները

Մերունդ	tr	tf	Առանց մեթոդի tr	Առանց մեթոդի tf
1	3.238e-11	1.931e-11	-	-
2	2.158e-11	1.682e-11	-	-
...	-	-
10	2.171e-11	1.995e-11	2.215e-11	2.017e-11

Նկ. 3-ում կորի տեսքով պատկերված է (4) արտահայտությունում ներկայացված ֆունկցիայի արժեքը յուրաքանչյուր իստերադիայի ժամանակ: Հորիզոնական և ուղղաձիգ առանցքները ցույց են տալիս սերունդների քանակները և $F(ti)$ - $F(ti+nfin, k)$ արտահայտության արժեքները:



Նկ. 3. Պոպուլյացիայի էվոլյուցիան

Ալգորիթմի միջոցով կատարվել է 25 տեսակի տրամաբանական բջիջների պարամետրական օպտիմալացումը (աղ. 2):

Օպտիմալացված թվային բջիջները

Բջջի անվանումը	Նկարագրությունը
INV_*	Շրջիչ
AN2_*	Երկմուտքանի «և»
AN3_*	Եռամուտք «և»
ND2_*	Երկմուտքանի «և-ոչ»
MUX2_*	2-1 մուլտիպլեքսոր
...	...
ADDF_*	Ամբողջական գումարիչ
FDP_*	Տրիգեր
FDP4_*	Բազմաբիթանի տրիգեր
DFE_*	Ճակատով տակտավորվող տրիգեր

Եզրակացություն: ԷԱ-ների դասին պատկանող ԳԱ-ի միջոցով մշակվել է մեթոդ, որը թույլ է տալիս կատարել թվային ստանդարտ բջիջների պարամետրական օպտիմալացում: Այն, ի տարբերություն գոյություն ունեցողների, հնարավորություն է ընձեռել՝ դիտարկելու ինչպես համակցական, այնպես էլ հաջորդական սխեմաներ: Ալգորիթմը իրականացվել է Python ծրագրավորման լեզվի միջոցով, որում եղած գրադարանները հնարավորություն են տվել՝ դիտարկելու մեծ ծավալի պոպուլյացիաներ:

Հետազոտությունն իրականացվել է ՀՀ ԿԳՆ գիտության պետական կոմիտեի տրամադրած ֆինանսավորմամբ՝ 18T-2B029 ծածկագրով գիտական թեմայի շրջանակներում:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Melikyan V., Martirosyan M., Melikyan A., Piliposyan G.** 14nm Educational Design Kit: Capabilities, Deployment and Future // Small Systems Simulation Symposium. - Niš, Serbia, 12th-14th February, 2018. - P. 37-41.
2. **Bhuvana B.P., Manohar B.R., Kanchana Bhaaskaran V.S.** Standard Cell Characterization for Reversible Logic // International Conference on Micro-Electronics and Telecommunication Engineering (ICMETE). - Ghaziabad, India, 2016. - P. 534-538.
3. **Chong K.H., Koh S.P., Tiong S.K. and Yeap K.H.** Design and Development of Automated Digital Circuit Structure on Evolutionary Algorithm Method // IJECCT. – 2011.
4. **Sharma P., Sasamal T.** Minimization of combinational digital circuit using genetic algorithm // IEEE International Conference on Computational Intelligence and Computing Research (ICICR). - Madurai, India, 10-12 Dec. 2015.

5. **Brown S. and Vranesic Z.** Fundamentals of Digital Logic with Verilog Design. - McGraw-Hill Education, 2013. - 864 p.
6. **Karakatič S., Podgorelec V., Hericko M.** Optimization of Combinational Logic Circuits with Genetic Programming // Elektronika ir Elektrotechnika.- 2013. - P. 86-89.
7. **Koza J.R., Poli R.** Genetic Programming // Search Methodologies. - 2005.- P. 127-164.
8. **Slowik A., Bialko M.** Evolutionary design of combinational digital circuits: State of the art, main problems, and future trends // 1st International Conference on Information Technology.- Gdansk, Poland, 2008.
9. **Pradondet N., Nuchitphong O.** Logic Function Minimization Base on Transistor Count using Genetic Algorithm // Proc. Of the third ICEP. - Songka, Thailand, 2003.
10. **Slowik A., Bialko M.** Design and Multi-Objective Optimization of Combinational Digital Circuits Using Evolutionary Algorithm with Multi-Layer Chromosomes // Proc. of ICAISC, LNAI.- 2008. - P. 479-488.
11. **Ahmed T. Soliman and Hazen M.,** Combinational Circuit Design Using Evolutionary Algorithm // Proc. of Electrical and Computer Engineering. - 2003. - P. 251-254.
12. Evolutionary Multiobjective Design of Combinational Logic Circuits / **A.C. Coello, L. Nacional, I. Avanzada, et al** // Proc. of the Second NASA/DoD Workshop on Evolvable Hardware. - 2000. - P. 161-170.
13. **Beazley D., Brian K.** Python Cookbook. - O'Reilly Media, 2013. - 706 p.
14. **Anjomshoa M., Mahani A., Sadeghifard, Salahedin.** A new automated design and optimization method of CMOS logic circuits based on Modified Imperialistic Competitive Algorithm // Applied Soft Computing. - 2014. - P. 423 - 432.

Հայաստանի ազգային պոլիտեխնիկական համալսարան: Ելուրթ ներկայացվել է խմբագրություն 08.10.2019:

М.К. МАРТИРОСЯН

ПАРАМЕТРИЧЕСКАЯ ОПТИМИЗАЦИЯ ЦИФРОВЫХ СТАНДАРТНЫХ ЯЧЕЕК С ПРИМЕНЕНИЕМ ГЕНЕТИЧЕСКОГО АЛГОРИТМА

Предлагается метод параметрической оптимизации цифровых схем, разработанных по технологии трехмерных транзисторов, с использованием генетического алгоритма, применяемого в случае комбинационных и последовательных схем. Алгоритм позволяет улучшить параметрическую оптимизацию примерно в 10 раз. Цифровая стандартная библиотека ячеек, которая состоит из 25 типов ячеек, была разработана с отклонением параметров примерно на 10% меньше по сравнению с данными, полученными без использования метода. Метод может быть использован при оптимизации временных параметров в системе трехмерных транзисторов.

Ключевые слова: генетический алгоритм, параметрическая оптимизация, целевая функция, эволюционный алгоритм, цифровые схемы, технология транзисторов с трехмерным затвором.

PARAMETRIC OPTIMIZATION OF DIGITAL STANDARD CELLS BY
APPLYING A GENETIC ALGORITHM

A method of parametric optimization of digital circuits designed by the FinFET technology by using a genetic algorithm applied in case of combinational and sequential circuits is proposed. The algorithm allows to improve the parametric optimization by approximately 10 times. The digital standard cell library, consisting of 25 types of cells has been designed with deviation of parameters by approximately 10% less as compared with the data received without using the method. The method can be used at optimizing the timing parameters in the FinFET system.

Keywords: genetic algorithm, parametric optimization, objective function, evolutionary algorithm, digital circuits, FinFET technology.

CONTENTS

SAMVELYAN M.E. COOPERATIVE DEEP MULTI-AGENT REINFORCEMENT LEARNING: DIFFICULTIES, PRINCIPLES AND OPEN PROBLEMS.....	301
KARAPETYAN A.N., HOVHANNISYAN K.V., MELIKSETYAN N.G., SAROYAN W.V. INVESTIGATING THE GAP INFLUENCE ON THE STARTING PROCESS IN THE POLYMER-POLYMER PLAIN MICROBEARINGS.....	314
BAGHDASARYAN A.T. SUBSTANTIATING THE SELECTION OF THE OPTIMALITY CRITERION AT THE COMPLEX DEVELOPMENT OF DEPOSITS BY THE OPEN METHOD.....	325
GHARSLYAN S.S. COMPARATIVE ASSESSMENT OF THE NEGATIVE IMPACT ON THE ENVIRONMENT AT MINING THE DEPOSIT BY OPEN AND UNDERGROUND METHODS.....	335
BALASANYAN L.S. THE RESULTG OF THEORETICAL AND MODEL INVESTIGATIONS OF THE GRAVITATIONAL BYPASS OF THE MOUNTAIN MASS BY ORE CHUTE.....	344
MARUKHYAN V.Z., ELBAKYAN S.P. DEVELOPING ALGORITHMS FOR A BLOCK DIAGRAM AND ESTIMATING THE EFFICIENCY OF A STEAM AND GAS TURBINE INSTALLATION WITH AN INTRACYCLE GASIFICATION OF COAL.....	356
BAGHDASARYAN M.K., SARGSYAN S.V. STATISTICAL ANALYSIS OF THE CHANGE IN THE OPERATING CHARACTERISTICS OF ELECTROMECHANICAL SYSTEMS OF THE ORE-GRINDING PROCESS.....	367
VARDANYAN L.A. DETERMINING THE HEAT TRANSFER COEFFICIENT OF CAPACITORS WITH ONE AND TWO WATER COOLED COILS.....	375
EZAKYAN N.D. BIOIMPEDANCE SPECTROSCOPY AT THERMAL AND ELECTRICAL IMPACTS USING THE DEVELOPED DIAGNOSTIC DEVICE.....	382
SEVOYAN J.S., PANOSYAN Zh.R., VARDANYAN G.P. A METHOD FOR IMPROVING THE MAXIMUM POWER OF AN AUTONOMOUS SOLAR PHOTOELECTRIC POWER PLANT.....	392
TRDATYAN A.S. A METHOD OF A SELF-CONFIGURABLE OUTPUT FREQUENCY OSCILLATOR CONTROLLED BY A VOLTAGE.....	401
MARTIROSYAN M.K. PARAMETRIC OPTIMIZATION OF DIGITAL STANDARD CELLS BY APPLYING A GENETIC ALGORITHM.....	410
SIMONYAN S.H. SOLUTION OF ONE- PARMATRIC MATRIX PALINDROM PROBLEMS OF THE TYPE $A(t) \cdot X(t) + X(t) \cdot A(t) = 0$	418

Proceedings of 2019 IEEE East-West Design & Test Symposium (EWDTS)

Batumi, Georgia, September 13 – 16, 2019

ISBN: 978-1-7281-1002-8

Part Number: CFP19DTW-USB



Development Of Method For Automation Of SPICE Models Generation

Melikyan Vazgen Sh., Martirosyan Meruzhan K., Virabyan Diana A., Kostanyan Hakob T.
Synopsys Armenia Educational Department

Synopsys Armenia CJSC

Yerevan, Armenia

vazgenm@synopsys.com, meruzha@synopsys.com, dianav@synopsys.com, hakobk@synopsys.com

Abstract— A new method has been developed to obtain precise spice models of transistors that can be used in any type of research and training projects. The transistor's input and output characteristics have been received that have been compared with the characteristics of the foundry models. Also, Monte Carlo SPICE models were developed for all types of transistors, that are used during AOCV and POCV model's development processes.

Keywords— spice model, nanoscale transistor, aocv, pocv, montecarlo model, objective function

I. INTRODUCTION

Different types of discrete elements (eg, capacitance, resistance, transistor, etc.) are used when designing a board and interconnections are made between them. As a result, a circuit is made of different elements, after which this circuit is checked. If the circuit operates in line with the pre-set requirements, the work is over; otherwise individual components are replaced until the circuit behaves as designed and actually meets the specifications. However, such work cannot be done in projects based on integrated circuits (IC), the reason being the small size of the elements and the simultaneous production. In other words, any postproduction changes in the IC are impossible to make. The solution of the problem is to create virtual environment and models operating in that environment. Examples of such models are SPICE models that are used by the largest companies specializing in IC design. Various projects based on these models can be implemented – from the smallest-scale (e.g. an operational amplifier) to the largest-scale ones (e.g. i7 processor). However, these models are confidential and accessible to a very small number of researchers, who actually work in such companies. Thus, there arises the necessity to create models which will be as close as possible to real models and will be available to anyone who wishes to do research using quite accurate models of transistors. The basis of this work is the development of the method that will make creating such models possible.

II. NANOSCALE TRANSISTORS

The development of ICs has always been accompanied by the scaling of their elements. However, the scaling has been performed in a disproportionate manner for various reasons, that is, the size of the different parts of the IC has been reduced not with the same coefficients. This has resulted in deterioration of the parameters of the primary elements of the ICs, namely, the gates and hence transistors. In particular, in the case of 28 nm and 22 nm technologies, the basic parameters of the flat MOS transistors used in the IC have inadmissibly deteriorated, and further scaling was only possible using a new type of transistors. That is why new types of transistors, FinFET [1] (Figure 1), began to be used in the ICs made using the 14 nm and smaller-scale technological

processes. The principal difference of the latter from the flat transistors is in that it has a three-dimensional "fin", around

which a three-dimensional channel is formed. Due to this fact, the main parameters of the transistor, including leakage current and inertial properties, are greatly improved.

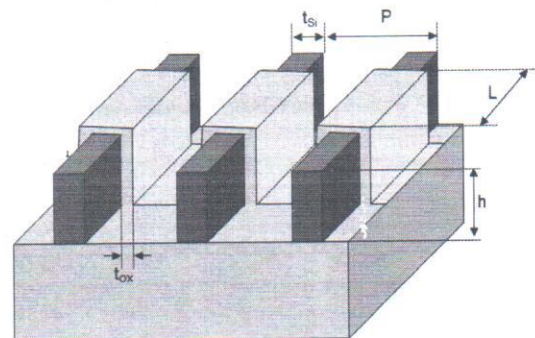


Fig. 1. The view of FinFET transistor

It is due to the above-mentioned properties that the further development of the nanoscale ICs is closely linked to FinFETs. According to various estimates, the IC market built with FinFET will have an annual growth of around 42% up to 2021. That is why the method developed during this work has been used to obtain FinFET-type transistor models.

III. MONTE CARLO MODEL

The Monte Carlo SPICE model is used that relies on repeated random sampling and statistical analysis to compute the results. This method of simulation is very closely related to random experiments, experiments for which the specific result is not known in advance. In this context, Monte Carlo simulation can be considered as a methodical way of doing so-called what-if analysis [2]. Based on that model On-Chip Variation (OCV) tables are developed.

In Fig. 2 is shown the simple Monte Carlo Mathematical model, where the model depends on number of input parameters and these parameters in turn depend on various external factors. When input parameters process through the mathematical formulas in the model, they result in one or more outputs.

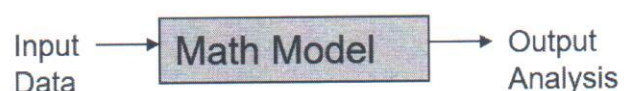


Fig. 2. Monte Carlo mathematical model

During manufacturing process many variables are used. Some of these variables are consistent for the whole process, some of them are consistent across a single wafer and some vary from wafer to wafer but are consistent across a

chip. Also, there are variables often observed in a single chip. This so called on-chip-variation (OCV) may come from mask alignment, etching process, and optical proximity correction. Therefore, two instances of the same cell on the same chip may have different timing characteristics.

Every cell has minimum and maximum delay due to OCV tables. According to this table static timing analyzer for setup time check applies minimum delay to clock path and maximum delay for data path. For hold time check it applies maximum delay to clock path and minimum delay for data path. The OCV's level of precision is low. To improve the accuracy of design timing analysis, one must apply Advanced On-Chip Variation (AOCV) or Parametric On-Chip Variation (POCV) tables.

A. Advanced On-Chip Variation

AOCV analysis reduces unnecessary pessimism by taking the design methodology and fabrication process variation into account. AOCV [3] determines derating factors based on cell type, metrics of path logic depth and the physical distance traversed by a particular path. The number of transistors and connection between them in each logic gate are different, therefore the variations for each cell are different. A longer path that has more gates tends to have less total variation because the random variations from gate to gate tend to cancel each other out. A path that spans a larger physical distance across the chip tends to have larger systematic variations. AOCV is less pessimistic than a traditional OCV analysis, which relies on constant derating factors that do not take path-specific metrics into account.

While performing register to register timing analysis, AOCV methodology finds the bounding box (Fig. 3) containing the sequential registers, clock buffers between two sequential registers and all the data cells. Now within a unit distance, if the path depth increases, the AOCV derate decreases due to cancelling of random variations. However, if the distance increases, AOCV derates increases due to increase in the systematic variations. These variations are modeled in form of a Look Up Table (LUT).

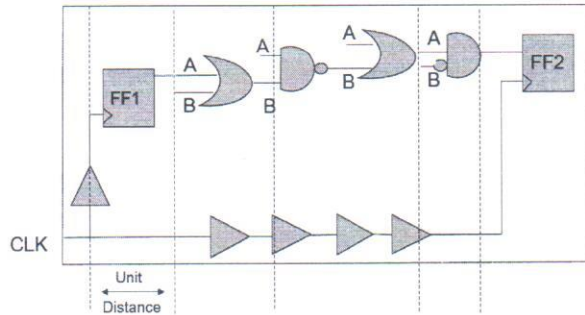


Fig. 3. Bounding box creation for AOCV

B. Parametric On-Chip Variation

POCV models the delay of an instance as a function of a variable that is specific to the instance. That is, the instance delay is parameterized as a function of the unique delay variable for the instance. POCV [3] provides the following:

- Statistical single-parameter derating for random variations
- Single input format and characterization source for both AOCV and POCV table data
- Non-statistical timing reports

- Limited statistical reporting (mean, sigma) for timing paths

IV. DEFINITION OF PROBLEM OF AUTOMATED DEVELOPMENT OF SPICE MODEL OF TRANSISTOR

Two types of problems have to be solved. Since the transistor model contains several hundreds of parameters, we can conclude that some of the parameters have a greater impact on the behavior of the model than the others. Therefore, the first task is to classify the parameter settings by priority. After the parameters are classified, it is necessary to define the objective function, i.e. to define a function that must be found during solving the problem. And since the model parameters cannot take on arbitrary values, restrictions should also be noted, which must be met to find the objective function.

A. Parameters classification by priority

First of all, it is necessary to compile a list of parameters that will be included in the model. Two approaches can be used in obtaining the list of parameters: first, taking all the transistor parameters that the spice model can include. Secondly, use similar models created by Arizona State University (ASU) [4] or some of the models created for a different technology by Synopsys Armenia Educational Department (SAED) [5]. During this work, the latter approach was used in choosing the list of model parameters.

Let us call the selected parameters a_i where i is the natural number in the range $[1, N]$ and N is equal to the number of parameters included in the model. Let us take the following function:

$$y_j = f_j(a_i) \quad (1)$$

where:

$$j = \{P, T, I\},$$

P - dynamic and static power,

T - time parameters (rising transition, falling transition and propagation delay),

I - the current flow through the transistor.

For all values of j , one needed to count all Δy_j functions,

where:

$$\Delta y_j = \Delta f_j(\Delta a_i) = f_j(a_{i,2} - a_{i,1}) \quad (2)$$

$$a_{i,2} = a_{i,1} + \Delta a_i, \quad (3)$$

Δa_i - minimum permissible values of parameter deviation, which comes from the model.

Let us set another parameter:

$$K(a_i) = \prod \Delta f_j(a_i) \quad (4)$$

$K(a_i)$ - deviation value for each parameter.

So, the a_i parameter for which the value of (4) will be the largest is going to be the parameter that has the greatest impact on the behavior of the model.

Accordingly, the classification of the parameters by priority can be determined by the following algorithm:

Algorithm 1.

1. Calculate all (2)s, where $j=\{P,T,I\}$, and i the natural number from in the range $[1, N]$.
2. Calculate all (4)s.
3. Summarize the results of (4)s in the associative array (such an array that has a key and a value, where the key indicates the model parameter name, and the value indicates the parameter value).
4. Make sorting according to array values, from big to small.
5. Take the keys of the sorted array.

The keys of the received array are the names of transistor parameters, sorted by impact. Thus, the first parameter affects the model to the largest extent and the last parameter affects to the smallest extent.

B. Objective Function

The goal is to find the minimum values of (2) for each a_i .

$$\Delta F_i = |F_{i2} - F_{i1}| \quad (5)$$

where:

$$i = \{P, T, I\},$$

F_{i2} - describes the behavior of the foundry model,

F_{i1} - describes the behavior of the model acquired during this work.

Thus, it is necessary to get the values of a_i parameters where the value of the F_{i1} function would be as close as possible to the value of the F_{i2} function.

C. Constraints

The function (5) takes on minimum value in the case of a certain value of a_i parameter, but at the same time this parameter cannot take on any value because the model does not allow it. According to the last statement:

$$a_{imin} \leq a_i \leq a_{imax} \quad (6)$$

$$a_i = a_{imin} + n * \Delta a_i \quad (7)$$

where:

a_{imin} - the minimum value of a parameter,

a_{imax} - the maximum value of a parameter,

Δa_i - sets the minimum step of or change in the parameter,

n - natural number.

As a result, the problem can be solved using the following algorithm:

Algorithm 2.

1. Select a nominal value of the a_i parameter (for example, this value can be taken from the model created by ASU).
2. Modify the value of the received parameter to the top and bottom, by following the restrictions until the minimum value of (5) is reached in the given parameter.
3. Repeat the same for the other parameters.
4. Do the same for as long, or for as many parameters, until the following takes place:

$$\Delta F_i / F_{i2} * 100\% \leq B \quad (8)$$

where:

B - permissible deviation.

5. According to the last point all the parameters, that satisfy the condition are selected to be the parameters of the new model. The parameters that do not satisfy the condition are not selected, but the ones which are obligatory for models to have are assigned default values and used in model development.

Thus, filling the values of a_i parameters in the transistor model using the Algorithm 2, we will get a model that is very close to the produced (foundry) model with its parameters.

V. APPLICATION OF ALGORITHM IN THE PROCESS OF OBTAINING OF THREE-DIMENSIONAL TRANSISTOR MODELS

Curves describing transistor parameters were constructed. Then, Algorithm 1 was used for classifying the parameters by priority. Different values of P , T , and I were taken from scientific papers [6-8]. Applying the interpolation algorithms to those values enabled transistor-describing curves to be obtained (input characteristics, output characteristics, time dependence on the transistor size, etc.). Then a_i nominal values were taken from the model created by the ASU, after which Algorithm 2 was used for finding the optimal dimensions of the transistor parameters. This process lasted until the B value equaled to 5%, which is considered to be permissible deviation. Fig. 4 shows how the curves of input characteristics of the model obtained with the algorithms approach to the curves of input characteristics of the foundry model.

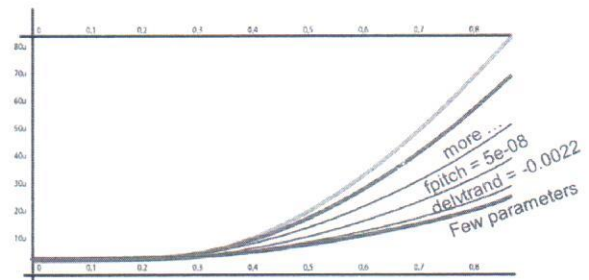


Fig. 4. Input characteristic of the model is approaching to foundry model's input characteristic

In the figure the green curve describes the foundry model, and the other colors describe the processed model (the model

under development), which is approaching the foundry model due to changes in the parameter values. The same thing has happened to the rest of the parameters.

It is common knowledge that transistors are exposed to certain technological deviations in the production process. These deviations cause transistors to operate faster or slower. An example of technological discrepancy is the acquisition of different lengths of the transistor's channel length. If a transistor's channel length will be greater than it was designed, it will work slower; otherwise, it will work faster. Thus, there is a need to create models that demonstrate the behavior of transistors in the case of deviating values. In other words, it is necessary to create models of transistors that will work quicker and slower. These models were acquired due to a deviation of the value of the threshold voltage variable. Thus, FF (fast-fast), SS (slow-slow) and TT (typical-typical) transistor models were developed.

During development of Monte Carlo models the above-mentioned method was used to find out the nominal values of statistical parameters. Afterwards a function called `agauss()` was used, to change statistical parameters values according to that function.

VI. THE TOOL DEVELOPMENT BASED ON THE ALGORITHM

During this research work a tool was developed with python programming language, which implements the algorithms described above, i.e. it automates the steps of algorithms. The tool takes P, I and T functions as primary inputs and nominal values of parameters as optional inputs. If there are no given optional inputs, the tool applies default values to the parameters. As an output it develops the SPICE models according to the given inputs.

VII. ALGORITHM APPLICATION DURING DEVELOPMENT OF 14NM TRANSISTORS' SPICE MODELS

The full list of developed models with descriptions are the following:

- n08 – The SPICE model n type transistor.
- p08 – The SPICE model p type transistor.
- n08_hvt – The SPICE model n type transistor with high threshold.
- p08_hvt – The SPICE model p type transistor with high threshold.
- n08_lvt – The SPICE model n type transistor with low threshold.
- p08_lvt – The SPICE model p type transistor with low threshold.
- n08_slvt – The SPICE model n type transistor with superlow threshold.
- p08_slvt – The SPICE model p type transistor with superlow threshold.

In order to test the obtained model, the characteristics of transistors were compared with the characteristics introduced in different research papers.

All the deviations of the parameters were in the allowed range.

Fig. 4. and Fig. 5 provide the input characteristics of the "nfet" and "pfet" transistors, operating with the 0.8 V supply voltage.



Fig. 5. Input characteristic of "nfet" transistor

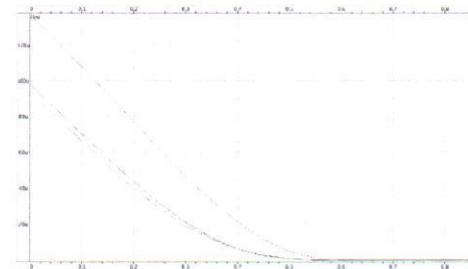


Fig. 6. Input characteristic of "pfet" transistor

VIII. CONCLUSION.

A new method has been developed that allows to get precise spice models of nanoscale transistors, which can be used in different studies and researches. A tool was developed with Python programming language which allows to automate the development of SPICE models of transistors. The tool was used to create SPICE models of transistors for 14nm. A research study of the obtained models was made. The results were compared with the characteristics of the foundry models of transistors in different research studies. Deviations were within the permissible limits. Also, Monte Carlo transistor models were developed, which will be used during the development of AOCV and POCV models.

REFERENCES

- [1] V. Melikyan, "Challenges and Solutions of IC Design Using FinFET Transistors", Proceedings of International Forum "Microelectronics", 2nd International Conference on Integrated Circuits and Microelectronic Modules, Crimea, pp. 343-347, September 26-30, 2016.
- [2] S. J. Mason, R. R. Hill, L. Mönch, O. Rose, T. Jefferson, J. W. Fowler eds., "INTRODUCTION TO MONTE CARLO SIMULATION", Simulation Conference, 2008. WSC 2008. Winter.
- [3] PrimeTime documentation, Synopsys Inc., 2017.
- [4] Arizona State University, MOSFET models, <http://ptm.asu.edu/modelcard/PTM-MG/modelfiles/hp/14nfet.pm>.
- [5] Goldman R., Bartleson K., Wood T., etc., "32/28nm Educational Design Kit: Capabilities, Deployment and Future, Microelectronics and Electronics (PrimeAsia)", IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia) - Visakhapatnam, India, 19-21 Dec. 2013.
- [6] Prateek M., Anish M., Niraj J., "FinFET Circuit Design", Springer 2010 - P. 23-53.
- [7] Tetsu Tanaka, "3D-IC technology and reliability challenges, Junction Technology (IWJT)", 2017 17th International Workshop on Junction Technology (IWJT) - Uji, Japan, 1-2 June 2017.
- [8] J. P. Duarte, S. Khandelwal, A. Medury, etc., "BSIM-CMG: Standard FinFET compact model for advanced circuit design", ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC), Graz, Austria, 14-18 Sept. 2015.



First Day: September 13th, 2019 (Friday)

Dmitry Drozdov, Nikolay Prokopenko, Evgeny Savchenko, Andrey Grushin and Pavel Dukanov

#48. Ternary Questionnaires

Valerii Khoroshev and Dmitry Efanov

#50. Ternary Parity Codes: Features

Dmitry Efanov

#114. Development of Method for Automation of SPICE Models Generation

Vazgen Melikyan and Meruzhan Martirosyan

#126. From Abstract Modeling of ADAS Applications to an Accelerator-based Hardware Realization

Samira Ahmadi, Katayoon Basharkhah, Amin Mohaghegh and Zainalabedin Navabi

#82. OR2-NoC: OffLine Robust Routing Algorithm for 2-D Mesh NoCs Architectures

Arezoo Beheshti Soofian, Mina Zolfy Lighvan and Zahra Eghbali

19:00 — 21:00 **Welcome cocktail**

Second Day: September 14th, 2019 (Saturday)

09:00—10:30 **Regular Papers Session 2B(1), Conference Hall**

Moderator: Victor Djigan

#102. Non-Canonical Topography of the z-Plane Discretized due to Quantization of the IIR Digital Filter Coefficients

Vladislav Lesnikov, Tatiana Naumovich and Alexander Chastikov

#111. The Discrete Structure of the Zeros and Poles Location in the z-Plane of the of Arbitrary Order IIR Digital Filters with a Finite Word Length

Vladislav Lesnikov, Tatiana Naumovich, Alexander Chastikov and Alexander Metelyov

ՀԱՅԱՍՏԱՆԻ ԳԻՏՈՒԹՅՈՒՆՆԵՐԻ ԱԶԳԱՅԻՆ ԱԿԱԴԵՄԻԱՅԻ
ԵՎ ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ
ՀԱՄԱԼՍԱՐԱՆԻ

ՏԵԴԵԿԱԳԻՐ

ՏԵԽՆԻԿԱԿԱՆ ԳԻՏՈՒԹՅՈՒՆՆԵՐԻ ՍԵՐԻԱ

Հատոր 73

N 3

ՀՈՒԼԻՍ - ՍԵՊՏԵՄԲԵՐ

ԵՐԵՎԱՆ 2020

ИЗВЕСТИЯ

НАЦИОНАЛЬНОЙ АКАДЕМИИ НАУК АРМЕНИИ И
НАЦИОНАЛЬНОГО ПОЛИТЕХНИЧЕСКОГО УНИВЕРСИТЕТА
АРМЕНИИ

СЕРИЯ ТЕХНИЧЕСКИХ НАУК

Том 73

N 3

ИЮЛЬ - СЕНТЯБРЬ

ЕРЕВАН 2020

PROCEEDINGS

OF THE REPUBLIC OF ARMENIA NATIONAL ACADEMY OF
SCIENCES AND NATIONAL POLYTECHNIC UNIVERSITY OF
ARMENIA

SERIES OF TECHNICAL SCIENCES

Volume 73

N 3

JULY - SEPTEMBER

YEREVAN 2020

Журнал издается с 5.01.1948 г.

Выходит 4 раза в год

ԽՄԲԱԳՐԱԿԱՆ ԿՈԼԵԳԻԱ

Գլխավոր խմբագիր՝ Մելիքյան Վ.Շ., ՀՀ ԳԱԱ թղթ. անդամ, տ.գ.դ., պրոֆ., ՀՀ
Գլխ. խմբագրի տեղակալ՝ Գրիգորյան Ա.Խ., տ.գ.դ., պրոֆ., ՀՀ
Պատասխանատու քարտուղար՝ Մեյրանյան Ժ.Ս., ՀՀ
Խմբագրական կոլեգիա
Աղբալյան Մ.Գ., տ.գ.դ., պրոֆ., ՀՀ
Ասլանյան Լ.Հ., ՀՀ ԳԱԱ թղթ. անդամ, ֆ.-մ.գ.դ., պրոֆ., ՀՀ
Բադալյան Ն.Պ., տ.գ.դ., պրոֆ., ՌԴ
Բադդասարյան Հ.Վ., տ.գ.դ., պրոֆ., ՀՀ
Բադդասարյան Մ.Ք., տ.գ.դ., պրոֆ., ՀՀ
Գազարինսկի Ա.Յու., ֆ.-մ.գ.դ., պրոֆ., ՌԴ
Գոնենյան Մ., տ.գ.թ., Եգիպտոս
Գրիմբլաթ Վ., տ.գ.թ., Չիլի
Դավթյան Ս.Պ., ՀՀ ԳԱԱ թղթ. անդամ, ք.գ.դ., պրոֆ., ՀՀ
Դոկիչ Բ., տ.գ.դ., Բոսնիա և Հերցեգովինա
Զորյան Ե., տ.գ.թ., ԱՄՆ
Իյուշենկո Ա.Ֆ., Բելառուսի ԳԱԱ թղթ. անդամ, տ.գ.դ., պրոֆ., Բելառուս
Լան Զ., տ.գ.թ., Չինաստան
Կրասնիկով Գ.Յ., ՌԴ ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., ՌԴ
Կուրտուա Բ., տ.գ.թ., Ֆրանսիա
Հախումյան Ա.Ա., ՀՀ ԳԱԱ թղթ. անդամ, ֆ.-մ.գ.դ., պրոֆ., ՀՀ
Հակոբյան Վ.Ն., ֆ.-մ.գ.դ., ՀՀ
Հահանով Վ.Ի., Կիրառական ռադիոէլեկտրոնիկայի Ուկրաինայի ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ.,
Ուկրաինա
Դույան Ա.Գ., ՀՀ ԳԱԱ ակադեմիկոս, ֆ.-մ.գ.դ., պրոֆ., ՀՀ
Մանդալիկա Ս., տ.գ.թ., Հնդկաստան
Մարուխյան Ո.Զ., տ.գ.թ., պրոֆ., ՀՀ
Միխայլիչ Ա.Ա., տ.գ.դ., պրոֆ., Բելառուս
Շլիխտման Ու., տ.գ.թ., Գերմանիա
Չանգ Ֆ., Թայվանի ԳԱԱ ակադեմիկոս, տ.գ.դ., Թայվան
Չապլիգին Յու.Ա., ՌԴ ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., ՌԴ
Պետրոսյան Օ.Հ., տ.գ.դ., պրոֆ., ՀՀ
Պետրոսյանց Կ.Օ., տ.գ.դ., պրոֆ., ՌԴ
Մապատենկար Մ., տ.գ.թ., ԱՄՆ
Մարգարյան Յու.Լ., ՀՀ ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., ՀՀ
Մբիտն Ս.Ա., տ.գ.դ., պրոֆ., ՌԴ
Միմոնյան Ս.Հ., տ.գ.դ., պրոֆ., ՀՀ
Ստեմպկովսկի Ա.Լ., ՌԴ ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., ՌԴ
Վորոբյով Ա.Ե., տ.գ.դ., պրոֆ., ՌԴ
Տիխոմիրով Գ.Վ., ֆ.-մ.գ.դ., ՌԴ
Ցանովա Ս., տ.գ.թ., Բուլղարիա
Ուբար Ռ., Էստոնիայի ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., Էստոնիա
Ուսանով Վ.Բ., տ.գ.դ., պրոֆ., ՌԴ
Քուչուկյան Ա.Թ., ՀՀ ԳԱԱ ակադեմիկոս, տ.գ.դ., պրոֆ., ՀՀ

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

Главный редактор Меликян В.Ш., член-корр. НАН РА., д.т.н., проф., Армения

Заместитель главного редактора Григорян А.Х., д.т.н., проф., Армения

Ответственный секретарь Сейранян Ж.С., Армения

Редколлегия:

Агбалиян С.Г., д.т.н., проф., Армения

Акопян В.Н., д.ф.-м.н., Армения

Асланян Л.А., член-корр. НАН РА, д.ф.-м.н., проф., Армения

Ахумян А.А., член-корр. НАН РА, д.ф.-м.н., проф., Армения

Багдасарян М.К., д.т.н., проф., Армения

Багдасарян О.В., д.т.н., проф., Армения

Бадалян Н.П., д.т.н., проф., Россия

Воробьев А.Е., д.т.н., проф., Россия

Гагаринский А.Ю., д.ф.-м.н., проф., Россия

Гонейма М., к.т.н., Египет

Гримблат В., к.т.н., Чили

Гулян А.Г., академик НАН РА, д.ф.-м.н., проф., Армения

Давтян С.П., член-корр. НАН РА, д.х.н., проф., Армения

Докич Б., д.т.н., Босния и Герцеговина

Зорян Е., к.т.н., США

Ильющенко А.Ф., член-корр. НАН Беларуси, д.т.н., проф., Беларусь

Красников Г.Я., академик РАН, д.т.н., проф., Россия

Куртуа Б., к.т.н., Франция

Кучукян А.Т., академик НАН РА, д.т.н., проф., Армения

Лан Ч., к.т.н., Китай

Мандалика С., к.т.н., Индия

Марухян В.З., к.т.н., проф., Армения

Михайлевич А.А., д.т.н., проф., Беларусь

Петросян О.А., д.т.н., проф., Армения

Петросянец К.О., д.т.н., проф., Россия

Сапатнекар С., к.т.н., США

Саркисян Ю.Л., академик НАН РА, д.т.н., проф., Армения

Сбитнев С.А., д.т.н., проф., Россия

Симонян С.О., д.т.н., проф., Армения

Стемпковский А.Л., академик РАН, д.т.н., проф., Россия

Тихомиров Г.В., д.ф.-м.н., Россия

Убар Р., академик НАН Эстонии, д.т.н., проф., Эстония

Усанов В.И., д.т.н., проф., Россия

Хаханов В.И., академик Академии наук Украины по прикладной радиоэлектронике, д.т.н., проф., Украина

Цанова С., к.т.н., Болгария

Чанг Ф., академик Национальной академии Тайваня, д.т.н., Тайвань

Чаплыгин Ю.А., академик РАН, д.т.н., проф., Россия

Шлихтманн У., к.т.н., Германия

EDITORIAL BOARD

Editor-in-Chief: Melikyan V.Sh., Corr.member of NAS RA, Sci.Dr., Prof., Armenia
Deputy Editor-in-Chief: Grigoryan A.Kh., Sci.Dr., Prof., Armenia
Executive Secretary: Seyranyan Zh.S., Armenia
Editorial Board:
Aghbalyan S.G., Sci.Dr., Prof., Armenia
Aslanyan L.H., Corr.member of NAS RA, Sci.Dr., Prof., Armenia
Badalyan N.P., Sci.Dr., Prof., Russia
Baghdasaryan H.V., Sci.Dr., Prof., Armenia
Baghdasaryan M.Q., Sci.Dr., Prof., Armenia
Chang F., Member of National Academy of Taiwan, Sci.Dr., Taiwan
Chaplygin Yu.A., Academician of RAS, Sci.Dr., Prof., Russia
Courtois B., Ph.D., France
Davtyan S.P., Corr.member of NAS RA, Sci.Dr., Prof., Armenia
Dokic B., Sci.Dr., Bosnia and Herzegovina
Gagarinski A.Yu., Sci.Dr., Prof., Russia
Ghoneima M., Ph.Dr., Egypt
Ghulyan A.G., Academician of NAS RA, Sci.Dr., Prof., Armenia
Grimblatt V., Ph.Dr., Chile
Hahanov V.I., Academician of Academy of Sciences of Ukraine in Applied Radioelectronics, Sci.Dr., Prof., Ukraine
Hakhumyan A.A., Corr.member of NAS RA, Sci.Dr., Prof., Armenia
Hakobyan V.N., Sci.Dr., Armenia
Ilyushenko A.F., Corr.member of NAS of Belarus, Sci.Dr., Prof., Belarus
Krasnikov G.Y., Academician of RAS, Sci.Dr., Prof., Russia
Kuchukyan A.T., Academician of NAS RA, Sci.Dr., Prof., Armenia
Lan Ch., Ph.Dr., China
Mandalika S., Ph.Dr., India
Marukhyan V.Z., Ph.Dr., Prof., Armenia
Mikhaylevich A.A., Sci.Dr., Prof., Belarus
Petrosyan O.H., Sci.Dr., Prof., Armenia
Petrosyants K.O., Sci.Dr., Prof., Russia
Sapatnekar S., Ph.Dr., USA
Sargsyan Yu.L., Academician of NAS RA, Sci.Dr., Prof., Armenia
Sbitnev S.A., Sci.Dr., Prof., Russia
Schlichtmann U., Ph.Dr., Germany
Simonyan S.H., Sci.Dr., Prof., Armenia
Stempkovski A.L., Academician of RAS, Sci.Dr., Prof., Russia
Tikhomirov G.V., Sci.Dr., Russia
Tsanova S., Sci.Dr., Bulgaria
Ubar R., Academician of Academy of Sciences of Estonia, Sci.Dr., Prof., Estonia
Usanov V.I., Sci.Dr., Prof., Russia
Vorobyov A.Y., Sci.Dr., Prof., Russia
Zorian Y., Ph.Dr., USA

Հրատ. խմբագիր՝

Ժ.Ս. ՄԵՅՐԱՆՅԱՆ

Խմբագիրներ՝

Հ.Ց. ՊԵՏՐՈՍՅԱՆ

Հ.Զ. ՂԱԶԱՐՅԱՆ

© Издательство НПУА

Известия НАН РА и НПУА (сер. Техн. наук), 2020

Մ.Կ. ՄԱՐՏԻՐՈՍՅԱՆ

ՊԱՐԱՄԵՏՐԱՑՎԱԾ ԲԶԻՋՆԵՐԻ ԿԻՐԱՌՄԱՍԲ ԻՆՏԵԳՐԱԼ ՄԽԵՄԱՆԵՐԻ
ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՈՒՄԸ

Ներկայացված է եռաչափ փականով տրանզիստորների (ԵՓՏ), ռեզիստորների և դիոդների պարամետրացված բջիջների մշակումը python API միջոցով, ինչպես նաև այդ բջիջների կիրառմամբ անալոգային սխեմաների նախագծումը:

Առանցքային բառեր. պարամետրացված համակարգ, եռաչափ տրանզիստոր, python, անալոգային սխեմաներ, ֆիզիկական նախագիծ:

Ներածություն: Պարզագույն թվային բջիջները՝ տրանզիստորները իրենց տարատեսակներով, ռեզիստորը, դիոդը և այլն, ինչպես նաև անալոգային ինտեգրալ սխեմաները (ԻՄ) մինչ այժմ նախագծվում են «մասնագիտացված նախագծման երթուղու» [1] միջոցով, որում նախագծման ընթացքը կատարվում է մի շարք քայլերի հաջորդականությամբ, և որպես արդյունք ստացվում է տոպոլոգիան: Սակայն այդ սխեմաների արդյունավետ աշխատանքը խիստ կախված է ֆիզիկական նախագծերի սիմետրիկությունից [2], որը հնարավոր է ստանալ մի շարք մեթոդների կիրառմամբ: Ակնհայտ է, որ միևնույն տեսակի պարզագույն բջիջները միմյանցից տարբերվում են իրենց պարամետրերի տարբեր արժեքներով: Այդ տրանզիստորները համեմատելով կարելի է տեսնել, որ միմյանցից տարբերվում են հոսքուղիների երկարությունների և լայնությունների չափերով: Այդտեղից էլ առաջացել է պարամետրացված տալիքի գաղափարը, այսինքն՝ ստեղծել որևէ տարրի տոպոլոգիան այնպես, որ վերջինս հնարավոր լինի գեներացնել պարամետրերի տարբեր արժեքների դեպքում: Այս տեսակի լուծում տալը կհեշտացնի նախագծողի աշխատանքը և, միաժամանակ, թույլ կտա կարճ ժամանակում գեներացնել սիմետրիկ տոպոլոգիաները:

[3,4] աշխատանքներում համապատասխանաբար ներկայացված են ինդուկտիվ տարրի և օղակաձև գեներատորի պարամետրացված համակարգի մշակումներ: [5-6] աշխատանքներում ներկայացված մոտեցումները հնարավորություն են տալիս ավտոմատացված մեթոդների կիրառմամբ կատարել ամբողջական սխեմաների ֆիզիկական սինթեզը, սակայն առանձին տարրերի պարամետրացման և օգտագործման հնարավորություն չեն տալիս:

Աշխատանքի կատարման ընթացքում մշակվել են տրանզիստորների, դիմադրությունների և դիոդների պարամետրացված համակարգեր: Ստեղծված

տարրերն օգտագործվել են մի շարք թվային և թվա-անալոգային հանգույցների ֆիզիկական նախագծման գործընթացում:

Մշակման գործընթացը: Տրանզիստորի պարամետրացված տարրը հնարավոր է գեներացնել ֆիների քանակի և հոսքուղու երկարության տարբեր արժեքների դեպքում: Այդ տեսակի բջիջների մշակման ընթացքում օգտագործվում են «Python API»-ի [7] տրամադրած մեծ քանակությամբ կլասները:

Պարամետրացված տարրերի մշակման գործընթացը կատարվում է երեք հիմնական փուլերի հաջորդականությամբ՝ պարամետրերի հայտարարում, մշակում և տոպոլոգիայի գեներացում: Սակայն, նախքան պարամետրացված բջիջի մշակումը՝ անհրաժեշտ է ունենալ տվյալ տեխնոլոգիայի համար նախագծման կանոնները: Այս դեպքում որպես տեխնոլոգիա ընտրվել է 14 նմ եռաչափ տեխնոլոգիան, որտեղից էլ վերցվել են նախագծման կանոնները [8]: Այդ արժեքների մի մասը ներկայացված է աղ. 1-ում:

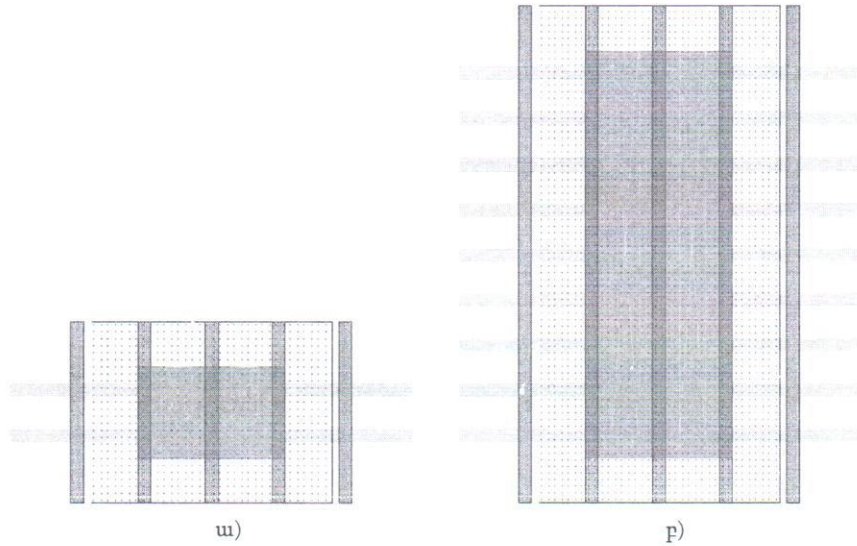
Աղյուսակ 1

Նախագծման կանոնները

Պարամետր	Արժեք (մկմ)	Բացատրություն
M1.w.1	0,034	Մետաղական արաջին մակարդակի նվազագույն երկարությունը
M1.s.1	0,026	Մետաղների միջև նվազագույն հեռավորությունը
M2.w.1	0,034	Մետաղական երկրորդ մակարդակի նվազագույն երկարությունը
DIFFw.1	0,044	Դիֆուզիայի նվազագույն հաստությունը
□□□	□□□	□□□
POw.1	0,014	Փականի նվազագույն լայնությունը

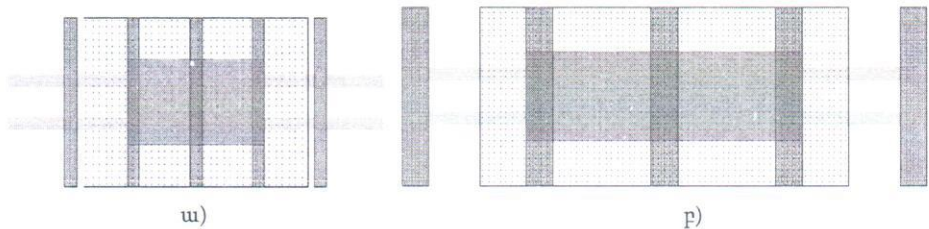
Նշված նախագծման կանոնները տրվել են ծրագրի մուտքին տեքստային ֆայլի միջոցով, որի գրելաձևը հնարավորություն է տալիս տվյալ կոդը աշխատեցնել այլ տեխնոլոգիայի դեպքում նույնպես: Այսինքն, կարելի է փոխել տեքստային ֆայլում գրված արժեքները և ծրագրի մեջ շատ թե քիչ փոփոխություններ կատարելով՝ ստանալ պարամետրացված համակարգեր այլ տեխնոլոգիաների դեպքում:

Ստացված արդյունքները: Նկ. 1 ա և բ-ում ցույց են տրված տրանզիստորի պարամետրացված տեսքերը: Այստեղ որպես պարամետր վերցված են ֆիների տարբեր քանակները:



Նկ. 1. Տրանզիստորի պարամետրացված տեսքը՝ ֆիների տարբեր քանակների դեպքում.
 $w - 2, p - 9$

Նկ. 2 ա, բ-ում ցույց են տրված տրանզիստորի պարամետրացված տեսքերը, որտեղ որպես պարամետր ծառայել է հոսքուղու երկարությունը:



Նկ. 2. Տրանզիստորի պարամետրացված տեսքերը՝ հոսքուղու երկարության տարբեր արժեքների դեպքում՝ $w - 0,014$ մկմ, $p - 0,03$ մկմ

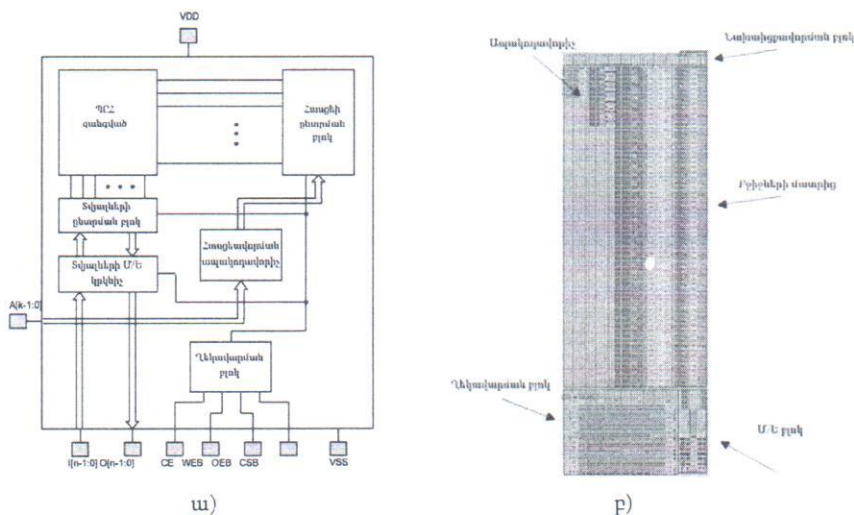
Աղ. 2- ում բերված է մշակված պարամետրացված բջիջների ամբողջական ցանկը:

Պարամետրացված համակարգերն օգտագործվել են մեկհանգուցանի, երկհանգուցանի, ցածր էներգասպառմամբ ստատիկ կամայական ընտրությամբ հիշասարքերի (ՄԿԸՀ) և մի շարք մուտք-ելք (Մ/Ե) հանգույցների նախագծման ընթացքում:

Մշակված պարամետրացված բջիջների ցանկը

Բջջի նշանակումը	Նկարագրությունը
n08	n տեսակի տրանզիստոր
p08	p տեսակի տրանզիստոր
n08_hvt	բարձր շեմային լարումով n տեսակի տրանզիստոր
p08_hvt	բարձր շեմային լարումով p տեսակի տրանզիստոր
n08_lvt	ցածր շեմային լարումով n տեսակի տրանզիստոր
p08_lvt	ցածր շեմային լարումով p տեսակի տրանզիստոր
n08_lvt	գերցածր շեմային լարումով n տեսակի տրանզիստոր
p08_lvt	գերցածր շեմային լարումով p տեսակի տրանզիստոր
p18	հաստ օքսիդով p տեսակի տրանզիստոր
n18	հաստ օքսիդով n տեսակի տրանզիստոր
pd	դիոդ
res	դիմադրություն
bpnp	բոք տրանզիստոր
bpnp	ոքո տրանզիստոր
co	կոնտակտ
nb	հարթակ n տեսակի տրանզիստորի համար
pb	հարթակ p տեսակի տրանզիստորի համար

Նկ. 3 ա-ում ցույց է տրված ՄԿԸՀ-ի կառուցվածքը [9], որի տոպոլոգիայի նախագծման ընթացքում օգտագործվել են եռաչափ տեխնոլոգիայով ստեղծված p և n տեսակի տրանզիստորների, դիոդների, կոնտակտների և հարթակների պարամետրացված համակարգերը: Մշակված տոպոլոգիան բերված է նկ. 3 բ-ում:



Նկ. 3. Մեկհանգուցանի ՄԿԸՀ՝ ա - ՄԿԸՀ-ի սխեման, բ - ՄԿԸՀ-ի տոպոլոգիան

Աղ. 3 ում բերված է մշակված տոպոլոգիաների ցանկը:

Աղյուսակ 3

Մշակված տոպոլոգիաները

Բջջի անվանումը	Բառի երկարությունը	Կարգայնությունը
SRAM1RW4x4	4	4
SRAM1RW4x8	4	8
...	-	-
SRAM1RW8x4	8	4
...	-	-
SRAM1RW512x128	512	128

Ընդհանուր հաշվով նախագծվել են մոտ 120 տարբեր հիշասարքեր, այդ թվում՝ նաև ցածր էներգասպառմամբ, ինչպես նաև 40 Մ/Ե հանգույցներ:

Եզրակացություն: Մշակվել են տրանզիստորների, ռեզիստորների և դիմադրությունների պարամետրացված համակարգերը եռաչափ տեխնոլոգիայի դեպքում: Պարամետրացված տարրերն օգտագործվել են շուրջ 120 ՄԿԸՀ և 40 Մ/Ե հանգույցների նախագծման գործընթացում:

ԳՐԱԿԱՆՈՒԹՅԱՆ ՑԱՆԿ

1. **Մովսիսյան Վ.Մ.** Թվային համակարգերի տրամաբանական նախագծում/ ՀՊՃՀ.-Եր.: Ճարտարագետ, 2012.-284 էջ:
2. **Nashaat I., Dessouky M., Said H.** Optimally matched current mirror layout pattern generation using genetic optimization // 28th International Conference on Microelectronics (ICM), 17-20 Dec.- Giza, Egypt, 2016 □ -P. 98-101.
3. **Tayenjam S., Rao Vanukuru V.N., Kumaravel S.** A PCell design methodology for automatic layout generation of spiral inductor using skill script // International conference on Microelectronic Devices, Circuits and Systems (ICMDCS), 10-12 Aug. 2017.- Vellore, India, 2017.
4. **Jia Ch., Ganbing Sh.** New Pcell based ring oscillator layout auto-generation method and application in advanced SPICE model verification // China Semiconductor Technology International Conference, 15-16 March 2015.- Shanghai, China, 2015.
5. **Martins R., Lourenco N. Norta N.,** LAYGEN II - Automatic Layout Generation of Analog Integrated Circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems □ - 16 october 2013 □
6. **Zhang L., Kleine U., Yingtao J.** An automated design tool for analog layouts // IEEE Transactions on Very Large Scale Integration (VLSI) Systems.- 31 July 2006.
7. **Conlan C.** The Blender Python API: Precision 3D Modeling and Add-on Development.- June 14, 2017.

8. **Melikyan V., Martirosyan M., Melikyan A., Piliposyan G.** 14nm Educational Design Kit: Capabilities, Deployment and Future // Small Systems Simulation Symposium, 12th-14th February, 2018.- Niš, Serbia, 2018.-P. 37-41.
9. **Ishibashi K., Osada K.** Low Power and Reliable SRAM Memory Cell and Array Design - June 2008.

Հայաստանի ազգային պոլիտեխնիկական համալսարան: Նյութը ներկայացվել է խմբագրություն 10.03.2020:

M.K. МАРТИРОСЯН

ФИЗИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ИНТЕГРАЛЬНЫХ СХЕМ С ИСПОЛЬЗОВАНИЕМ ПАРАМЕТРИЗОВАННЫХ ЯЧЕЕК

Представлена разработка параметризованных ячеек транзисторов с трехмерным затвором резисторов и диодов с помощью python API, а также проведено проектирование аналоговых схем с использованием этих параметризованных ячеек.

Ключевые слова: параметризованная система, трехмерный транзистор, python, аналоговые схемы, физическое проектирование.

M.K. MARTIROSYAN

THE PHYSICAL DESIGN OF INTEGRATED CIRCUITS USING PARAMETERIZED CELLS

The development of a parameterized FinFET transistor, diode and resistor cells using Python API is presented. The development of analog circuits using those parameterized cells is carried out.

Keywords: parametrized system, FinFET, python, analog circuits, physical design.

ISSN 1829-0043

ՀԱՅԱՍՏԱՆԻ ԳԱՐՏԱՐԱԳԻՏԱԿԱՆ ԱԿԱԴԵՄԻԱՅԻ

ԼՐԱԲԵՐ

ԳԻՏԱՏԵԽՆԻԿԱԿԱՆ ՀՈԴՎԱԾՆԵՐԻ
ԺՈՂՈՎԱԾՈՒ

ВЕСТНИК

ИНЖЕНЕРНОЙ АКАДЕМИИ АРМЕНИИ

СБОРНИК НАУЧНО-ТЕХНИЧЕСКИХ
СТАТЕЙ

PROCEEDINGS

OF ENGINEERING ACADEMY OF ARMENIA

SCIENTIFIC AND TECHNOLOGICAL
COLLECTED ARTICLES

XVI

ՀԱՏՈՐ TOM VOLUME

№ 1

ԵՐԵՎԱՆ ЕРЕВАН YEREVAN

2019

ԲՈՎԱՆԴԱԿՈՒԹՅՈՒՆ

Բոստանջյան Վ.Բ.	
ԵԱՏՄ ՇՐՋԱՆԱԿՆԵՐՈՒՄ ՀԱՅԱՍՏԱՆԻ ՏՆՏԵՍԱԿԱՆ ԶԱՐԳԱՅՄԱՆ ԿԱՌԱՎԱՐՄԱՆ ՀԻՄՆԱԽՆԴԻՐՆԵՐԸ	5
Մանասերյան Թ.Ն.	
ՆԵՐԴՐՈՒՄՆԵՐԸ ԵՎ ՆՈՐԱՐԱՐՈՒԹՅՈՒՆՆԵՐԸ ՀԱՅԱՍՏԱՆԻ ՏՆՏԵՍԱԿԱՆ ԱՆՎՏԱՆԳՈՒԹՅԱՆ ՀԱՄԱԿԱՐԳՈՒՄ	11
Առուստամյան Է.Ս.	
ՆԵՐԴՐՈՒՄՆԵՐԸ ՏՆՏԵՍՈՒԹՅԱՆ ԻՐԱԿԱՆ ՍԵԿՏՈՐՈՒՄ	19
Առաքելյան Ա.Լ., Գարեգինյան Ա.Գ., Խաչատրյան Ա.Գ.	
ՀԱՅԱՍՏԱՆԻ ԱՊԱՀՈՎԱԳՐԱԿԱՆ ՇՈՒԿԱՅՈՒՄ ԳՈՐԾՈՂ ԸՆԿԵՐՈՒԹՅՈՒՆՆԵՐԻ ՏՆՏԵՍԱԿԱՆ ԳՈՐԾՈՒՆԵՐՈՒԹՅԱՆ ՎԵՐԼՈՒԾՈՒԹՅՈՒՆ	28
Առաքելյան Է.Կ., Մինասյան Ս.Ա., Բաղդասարյան Գ. Բ.	
T-125/150 ՇՈԳԵՏՈՒՐԲԻՆԻ ԽՈՐԸ ԲԵՌՆԱԹԱՓՄԱՆ ՄԻՋՈՑՈՎ ՇԳՏ-450-Ի ԿԱՐԳԱՎՈՐՄԱՆ ՏԻՐՈՒՅԹԻ ԸՆԴԱՅՆՄԱՆ ՏԵԽՆԻԿԱԿԱՆ ՀՆԱՐԱՎՈՐՈՒԹՅՈՒՆԸ ԵՎ ՏՆՏԵՍԱԿԱՆ ՆՊԱՏԱԿԱՀԱՐՄԱՐՈՒԹՅՈՒՆԸ	34
Վարդանյան Ա.Հ.	
ԿԵՆՍԱԶԱՆԳՎԱԾԻ ԳԱԶԻՖԻԿԱՑՈՒՄ. ԱՐԴԻ ՎԻՃԱԿԸ	45
Գուսև Բ.Վ., Ֆայվուսովիչ Ա.Ս.	
ԲԵՏՈՆԻ ԿՈՌՈՋԻԱՅԻ ՄԱԹԵՄԱՏԻԿԱԿԱՆ ՏԵՍՈՒԹՅԱՆ ԿԱՏԱՐԵԼԱԳՈՐԾՄԱՆ ՈՒՂՂՈՒԹՅՈՒՆՆԵՐ	54
Նիկոլյին Վ.Ա.	
ՌԵԱԼ (ԻՐԱԿԱՆ) ՀԵՂՈՒԿՆԵՐԻ ՇԱՐԺՄԱՆ ՀԻՄՆԱԿԱՆ ՀԱՎԱՍԱՐՈՒՄՆԵՐԻ ՀԱՐՑԻ ՎԵՐԱԲԵՐՅԱԼ	59
Շեկյան Հ.Գ.	
ՈՉ ԳԾԱՅԻՆ ՏԱՏԱՆՈՂԱԿԱՆ ՀԱՄԱԿԱՐԳԵՐԻ ԿԱՅՈՒՆՈՒԹՅԱՆ ՄԱՍԻՆ	71
Բեյլուբեկյան Մ.Վ., Սարգսյան Մ.Գ., Սարգսյան Ի.Մ.	
ՊԻԵԶՈՒԼԵԿՏՐԻԿ ՈՒՂՂԱՆԿՅՈՒՆ ԲԻՄՈՐՖ ԿԱՌՈՒՑՎԱՅՔԻ ՇԱՐԺԱԲԵՐԻ (ԱԿՏՈՒԱՏՈՐ) ԱՌԱՋԳԱԿԱՆ ՏԵՂԱՓՈԽՈՒՄՆԵՐԻ ՀԵՏԱԶՈՏՈՒՄԸ ՈՒՂՂԱՀԱՅԱՑ ԷԼԵԿՏՐԱԿԱՆ ԴԱՇՏՈՒՄ	80
Մելիքյան Վ.Շ., Մարտիրոսյան Մ.Կ.	
14 ՆԱՆՈՄԵՏՐԱՆՈՑ ՏԵԽՆՈԼՈԳԻԱԿԱՆ ԳՈՐԾԸՆԹԱՅԻ ՀԱՄԱՐ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՄԱՆ ԿԱՆՈՆՆԵՐԻ ՄՇԱԿՈՒՄԸ	86
Տանին Լ.Վ.	
ՌԵԶՈՆԱՆՍԱՅԻՆ ՕՊՏԻԿԱՅԻ ՄԵԹՈԴՆԵՐՈՒՄ ԿԼԱՆՄԱՆ ՈՒԺԵՂ ԳԾԵՐՈՎ ԱՏՈՄԱԿԱՆ ՄԻՋԱՎԱՅՐԵՐԻ ԱՆՈՄԱԼ ԴԻՍՊԵՐՍԻԱՆ	91
Դավթյան Վ.Ս.	
ԱՐՅԱԽԻ ՀԱՆՐԱՊԵՏՈՒԹՅՈՒՆԻՑ ՀԱՅԱՍՏԱՆ ԷՆԵՐԳԵՏԻԿ ԱԾԽԻ ՆԵՐԿՐՄԱՆ ՀՆԱՐԱՎՈՐՈՒԹՅՈՒՆՆԵՐԸ ԱՋԳԱՅԻՆ ԱՆՎՏԱՆԳՈՒԹՅԱՆ ՍՊԱՌՆԱԼԻՔՆԵՐԻ ՀԱՄԱՏԵՔՍՏՈՒՄ	101
Առուստամյան Էռնեստ Սանատրուկի	
ՀԱՅԱՍՏԱՆԻ ՃԱՐՏԱՐԱԳԻՏԱԿԱՆ ԱԿԱԴԵՄԻԱՅԻ ԱՐՏԱՍԱՀՄԱՆՅԱՆ ԱՆԴԱՄ, ՌՈՒՍԱԿԱՆ ԻՆԺԵՆԵՐԱԿԱՆ ԱԿԱԴԵՄԻԱՅԻ ԻՍԿԱԿԱՆ ԱՆԴԱՄ, «ԵՎՐՈՊԱԿԱՆ ՆԵՐԴՐՈՒՄԱՅԻՆ ՖԻՆԱՆՍԱԿԱՆ ԽՄԲԻ» ՆԱԽԱԳԱՀԻ ՀՈՐԵԼՅԱՆԻ ԱՌԹԻՎ	106

СОДЕРЖАНИЕ

Бостанджян В.Б.	
ПРОБЛЕМЫ УПРАВЛЕНИЯ ЭКОНОМИЧЕСКИМ РАЗВИТИЕМ РЕСПУБЛИКИ АРМЕНИЯ В РАМКАХ ЕВРАЗИЙСКОГО ЭКОНОМИЧЕСКОГО СОЮЗА	5
Манасерян Т.Н.	
ИНВЕСТИЦИИ И ИННОВАЦИИ В СИСТЕМЕ ЭКОНОМИЧЕСКОЙ БЕЗОПАСНОСТИ АРМЕНИИ	11
Арустамян Э.С.	
ИНВЕСТИЦИИ В РЕАЛЬНЫЙ СЕКТОР ЭКОНОМИКИ	19
Аракелян А.Л., Гарегинян А.Г., Хачатрян А.Г.	
АНАЛИЗ ХОЗЯЙСТВЕННОЙ ДЕЯТЕЛЬНОСТИ КОМПАНИЙ, ДЕЙСТВУЮЩИХ НА РЫНКЕ СТРАХОВАНИЯ РЕСПУБЛИКИ АРМЕНИЯ	28
Аракелян Э.К., Минасян С.А., Баграмян Г.К.	
ТЕХНИЧЕСКАЯ ВОЗМОЖНОСТЬ И ЭКОНОМИЧЕСКАЯ ЦЕЛЕСООБРАЗНОСТЬ РАСШИРЕНИЯ РЕГУЛИРОВОЧНОГО ДИАПАЗОНА ПГУ -450 ПУТЕМ ГЛУБОКОГО РАЗГРУЖЕНИЯ ПАРОВОЙ ТУРБИНЫ Т-125/150	34
Варданян А.А.	
ГАЗИФИКАЦИЯ БИОМАССЫ: СОВРЕМЕННОЕ СОСТОЯНИЕ	45
Гусев Б.В., Файвусович А.С.	
НАПРАВЛЕНИЯ СОВЕРШЕНСТВОВАНИЯ МАТЕМАТИЧЕСКОЙ ТЕОРИИ КОРРОЗИИ БЕТОНА	54
Никулин В.А.	
К ВОПРОСУ ОБ ОСНОВНЫХ УРАВНЕНИЯХ ДВИЖЕНИЯ РЕАЛЬНЫХ ЖИДКОСТЕЙ	59
Шекян Г.Г.	
ОБ УСТОЙЧИВОСТИ НЕЛИНЕЙНЫХ КОЛЕБАТЕЛЬНЫХ СИСТЕМ	71
Белубекян М.В., Саргсян М.Г., Саргсян	
ИССЛЕДОВАНИЕ УПРУГИХ ПЕРЕМЕЩЕНИЙ ПЬЕЗОЭЛЕКТРИЧЕСКОГО ПРЯМОУГОЛЬНОГО АКТЮАТОРА БИМОРФНОЙ КОНСТРУКЦИИ ПОД ДЕЙСТВИЕМ ПОПЕРЕЧНОГО ЭЛЕКТРИЧЕСКОГО ПОЛЯ	80
Меликян В.Ш., Мартиросян М.К.	
РАЗРАБОТКА ПРАВИЛ ФИЗИЧЕСКОГО ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ 14-НАНОМЕТРОВОГО ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА	86
Танин Л.В.	
АНОМАЛЬНАЯ ДИСПЕРСИЯ АТОМАРНЫХ СРЕД С СИЛЬНЫМИ ЛИНИЯМИ ПОГЛОЩЕНИЯ В МЕТОДАХ РЕЗОНАНСНОЙ ОПТИКИ	91
Давтян В.С.	
ВОЗМОЖНОСТИ ПОСТАВОК ЭНЕРГЕТИЧЕСКОГО УГЛЯ ИЗ РЕСПУБЛИКИ АРЦАХ В АРМЕНИЮ В КОНТЕКСТЕ УГРОЗ НАЦИОНАЛЬНОЙ БЕЗОПАСНОСТИ	101
Арустамян Эрнест Санатрукович	
К ЮБИЛЕЮ ИНОСТРАННОГО ЧЛЕНА ИНЖЕНЕРНОЙ АКАДЕМИИ АРМЕНИИ, ДЕЙСТВИТЕЛЬНОГО ЧЛЕНА РОССИЙСКОЙ ИНЖЕНЕРНОЙ АКАДЕМИИ, ПРЕЗИДЕНТА НП "ЕВРОПЕЙСКАЯ ИНВЕСТИЦИОННАЯ ФИНАНСОВАЯ ГРУППА"	106

C O N T E N T S

Bostanjyan V.B.	
PROBLEMS OF CONTROL OF ARMENIA'S ECONOMIC DEVELOPMENT IN THE FRAMEWORK OF THE EAEU	5
Manaseryan T.N.	
INVESTMENTS AND INNOVATIONS IN THE SYSTEM OF ECONOMIC SECURITY OF ARMENIA	11
Arustamyan E.S.	
INVESTMENTS IN REAL SECTOR OF ECONOMY.....	19
Arakelyan A.L., Gareginyan A.G., Khachatryan A.G.	
ANALYSIS OF THE ECONOMIC ACTIVITY OF COMPANIES ACTING IN THE MARKET OF INSURANCE OF THE REPUBLIC OF ARMENIA	28
Arakelyan E.K., Minasyan S.A., Baghramyan G.Q.	
TECHNICAL FEASIBILITY AND ECONOMIC EXPEDIENCE OF EXPANSION OF ADJUSTING RANGE OF SGP-450 BY MEANS OF DEEP UNLOADING OF STEAM TURBINE T-125/150	34
Vardanyan A.H.	
BIOMASS GASIFICATION - STATE OF THE ART DESCRIPTION	45
Gusev B.V., Fayvusovich A.S.	
NAVIGATIONS OF DEVELOPMENT OF MATHEMATICAL THEORY OF CONCRETE CORROSION	54
Nikulin V.A.	
TO THE QUESTION OF MAIN EQUATIONS OF MOVEMENT OF REAL LIQUIDS,.....	59
Shekyan H.G.	
ON THE STABILITY OF NONLINEAR OSCILLATORY SYSTEMS	71
Belubekyan M.V., Sargsyan M.G., Sargsyan I.M.	
INVESTIGATION OF ELASTIC DISPLACEMENTS OF A PIEZOELECTRIC RECTANGULAR ACTUATOR OF A BIMORPH STRUCTURE UNDER THE TRANSFERS OF ELECTRIC FIELD	80
Melikyan V.Sh. , Martirosyan M.K.	
PHYSICAL DESIGN RULE DEVELOPMENT FOR 14NM INTEGRATED CIRCUITS	86
Tanin L.V.	
ANOMALOUS DISPERSION OF ATOMIC MEDIUM WITH STRONG ABSORPTION LINES IN THE METHODS OF RESONANT OPTICS	91
Davtyan V.S.	
OPPORTUNITIES FOR SUPPLY OF ENERGY COAL FROM THE REPUBLIC OF ARTSAKH TO ARMENIA IN THE CONTEXT OF THREATS TO NATIONAL SECURITY	101
ARUSTAMYAN ERNEST SANATRUK	
TO THE JUBILEE OF FOREIGN MEMBER OF ENGINEERING ACADEMY OF ARMENIA, FULL MEMBER OF RUSSIAN ENGINEERING ACADEMY, PRESIDENT OF "EUROPEAN INVESTMENT FINANCIAL GROUP"	106

ՀՏԴ 621.382.13

ԻՆՖՈՐՄԱՏԻԿԱ, ԷԼԵԿՏՐՈՆԻԿԱ ԵՎ
ԳԻՏԱԿԱՆ ՍԱՐՔԱԾԻՆՈՒԹՅՈՒՆ

Վ.Շ. Մելիքյան, Մ.Կ. Մարտիրոսյան

14 ՆԱՆՈՄԵՏՐԱՆՈՑ ՏԵԽՆՈԼՈԳԻԱԿԱՆ ԳՈՐԾԸՆԹԱՑԻ ՀԱՄԱՐ ԻՆՏԵԳՐԱԼ
ՍԻՏԵՄԱՆԵՐԻ ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՄԱՆ ԿԱՆՈՆՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ներկայացված է ինտեգրալ սխեմաների (ԻՄ) նախագծման կանոնների մշակումը: Որոշվել է նվազագույն քանակի կանոնների ցանկը: Նախագծման կանոնների մշակումն իրականացվել է երկու մոտեցմամբ. օգտագործվել են ավելի բարձր տեխնոլոգիաներով մշակված բաց նախագծման հավաքածուներում եղած կանոնները, տարբեր գիտահետազոտական աշխատանքներում օգտագործված թվերը: Այդ նախագծման կանոնների օգտագործմամբ կատարվել է մի շարք թվային և անալոգային ԻՄ-երի ֆիզիկական նախագծեր: Կանոնները ստեղծվել են 14 նանոմետրանոց տեխնոլոգիայով ոչ արտադրական ԻՄ-երի ֆիզիկական նախագծերն իրականացնելու համար:

Առանցքային բառեր. եռաչափ տրանզիստոր, նախագծման կանոններ, նախագծման հավաքածու, ֆիզիկական նախագիծ, մասնագիտացված նախագծման երթուղի:

Ներածություն: Ժամանակակից ԻՄ-երում թվային և անալոգային հանգույցները ֆիզիկական նախագծերն իրականացվում են «Մասնագիտացված նախագծման երթուղու» և «Ավտոմատ նախագծման երթուղու» [1] միջոցով: Այդ երթուղիներով բուն նախագծման գործընթացն իրականացվում է պահանջների առաջադրմամբ, որին հաջորդում է սխեմատիկական նախագծումը և օպտիմալացումը, այնուհետև կատարվում ֆիզիկական նախագծումը և ստացված նախագծի ստուգումը:

Ավտոմատ նախագծման ընթացքում օգտագործվում են պատրաստի գրադարաններ, որոնց պարունակության մեջ մտնում են թվային ստանդարտ բջիջների մոդելները: Մինչ այդ մոդելները ստեղծելը, անհրաժեշտ է կատարել վերջիններիս սխեմատիկական և տոպոլոգիական նախագծերը: Սխեմատիկական նախագծման ընթացքում Spice մոդելների միջոցով կատարվում է նմանակում դիֆերենցիալ հավասարումների կազմում և լուծում, որի ընթացքում որոշվում են տրանզիստորների ֆիզիկական չափերը՝ հոսքուղու երկարությունը և լայնությունը:

Երկրաչափական չափերը պարզելուց հետո կատարվում է տոպոլոգիական նախագիծը: Այդ ընթացքում էլ լուծվում են այնպիսի խնդիրներ, ինչպիսիք են՝ նվազագույն մակերեսի զբաղեցումը, միջմիացումների համար այնպիսի ճանապարհների ընտրումը, որոնք հնարավորություն կտան ստանալ պարագիտային տարրերի հնարավորինս փոքր արժեքներ:

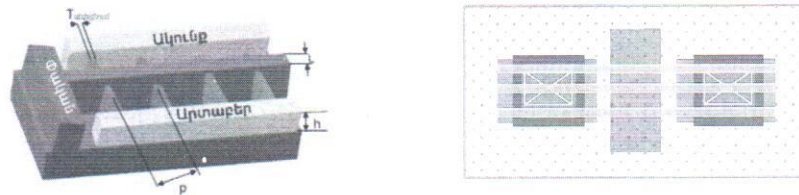
Դիմադրության որոշման բանաձևից հայտնի է, որ որքան հաղորդչի երկարությունը փոքր է, այնքան դիմադրության արժեքը փոքր կլինի: Իսկ ունակության բանաձևից հայտնի է, որ որքան հաղորդչի երկարությունը միմյանցից հեռու են գտնվում և փոխաձևված մակերեսը փոքր է, այնքան ունակության արժեքը փոքր կլինի: Ֆիզիկական նախագծման ընթացքում այսպիսի խնդիրները հաշվի են առնվում, ինչպես նաև հաշվի են առնվում էլեկտրամիգրացիայի հետ կապված հարցերը ու նման այլ հարցեր, որոնք էական ազդեցություն կարող են թողնել որակական տեսանկյունից: Այդ խնդիրների լուծմանը զուգընթաց անհրաժեշտ է հետևել նախագծման կանոններին՝ պահպանել առանձին շերտերի միջև եղած նվազագույն հեռավորությունները, շերտերի նվազագույն մակերեսները և այլն: Սակայն քանի որ այդ կանոնների պահպանումն իրականացվում է մարդու կողմից, առաջանում է ստուգման խնդիրը: Այսպիսով, ցանկացած ինտեգրալ սխեմա, որը նախագծվել է նշված երթուղիներից որևէ մեկի միջոցով, դրա ֆիզիկական տեսքը պետք է ստուգվի:

Այս աշխատանքի ընթացքում մշակել են նախագծման կանոններ, որոնք համապատասխան ծրագրային գործիքի օգտագործման պարագայում հնարավորություն կտան ստուգել նախագծված տոպոլոգիաները:

Եռաչափ տրանզիստորներ: Չնայած ԿՄՕԿ տեխնոլոգիայի օգտագործման դեպքում ճիշտ օպտիմալացում կատարելիս ԻՄ-ում հնարավոր է ապահովել կիսահաղորդչային տարրերի բավականին մեծ խտություն և մեծ արագագործություն, այդուհանդերձ, դա ունի սահմանային արժեք: Այդ արժեքը հաղթահարելու համար առաջ են գալիս նոր մարտահրավերներ [2], որոնցից առանձնացվում են երկուսը՝

շեղման հոսանքի փոքրացումը և սարքից սարք եղած փոփոխության նվազեցումը:

Ամեն անգամ առաջ եկող մարտահրավերներին լուծում է տրվում նոր տեխնոլոգիայի ստեղծմամբ: Այս դեպքում, օգտագործելով բազմափականային տրանզիստորներ, մասնավորապես եռաչափ տրանզիստոր, հնարավոր է արդյունավետ կառավարել կարճ հոսքուղային էֆեկտները (ԿՀԷ) (այդ տրանզիստորի տեսքը պատկերված է նկ. 1-ում):



Նկ.1. Եռաչափ տրանզիստորի կառուցվածքը կողքից և վերևից

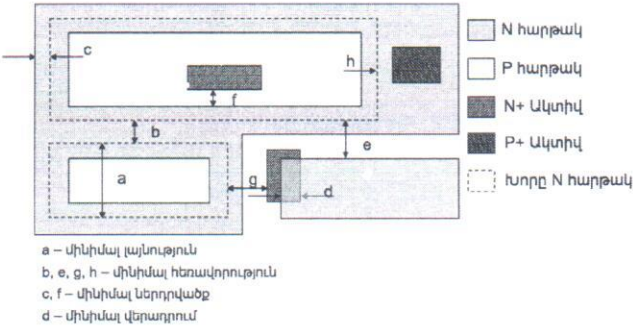
Պատկերված կառուցվածքը բաղկացած է սիլիցիումային մարմնից, որը փաթաթված է փականի էլեկտրոդի վրա: Նմանատիպ կառուցվածքներում հոսանքներն անցնում են զուգահեռ, իսկ հոսքուղին ուղղահայաց է հարթակին: L-ով նշանակված է հոսքուղու երկարությունը, որը հետևյալ զարգացումն է ունեցել՝ 22 նմ, 14 նմ, 10 նմ, 7 նմ:

Ինչպես երևում է նկարից, բազմափականային կառուցվածքներում հոսքուղին կառավարվում է երեք ուղղությամբ, որն ավելի կարճ հոսքուղիների դեպքում թուլացնում է ԿՀԷ-ները:

Այս կառուցվածքներն ապահովում են արտաբերի համեմատաբար ավելի մեծ հոսանքներ, մեծացնում են փոխանջատման արագագործությունը մինչև 37%-ով, աշխատում են համեմատաբար ավելի փոքր շեմային լարումների դեպքում, կեսից ավելի փոքրացնում են դինամիկ հզորությունը, ինչպես նաև փոքրացնում են շեղման հոսանքները մոտավորապես 90%-ով:

Նախագծման կանոններ: ԻՄ-երի կամ դրանց բաղկացուցիչ մասերի ֆիզիկական նախագծման ընթացքում նախագծողը կամ ավտոմատ նախագծման գործիքը պետք է հետևի որոշակի կանոնների տոպոլոգիայի երկրաչափական պատկերի ստեղծման ընթացքում [3]: Այդ ֆիզիկական կանոններին հետևելը պարտադիր է նրա համար, որ նախագծված տոպոլոգիան հնարավոր լինի արտադրել գործարանում, քանի որ տեխնոլոգիայից և դրա չափից կախված, գործարանում արտադրվող սխեմաները պետք է բավարարեն որոշակի երկրաչափական սահմանափակումների: Այդպիսի երկրաչափական սահմանափակումները կամ ֆիզիկական նախագծման կանոնները (ՆԿ) կարող են լինել շատ տարբեր, օրինակ՝ նույն արտադրվող շերտի երկու հարևան երկրաչափական մարմիններ՝ ուղղանկյուններ, պետք է միմյանցից որոշակի հեռավորության վրա գտնվեն և այլն: Սովորաբար ԻՄ-երի արտադրման ֆիզիկական նախագծման կանոնների քանակը տատանվում է հարյուրի և մի քանի հարյուրի միջև: Կանոնների մեծ մասը բավականին պարզ է: դրանք արտադրվող շերտի երկրաչափական պատկերների հեռավորության, մակերեսի կամ վերադրման կանոններ են: Տեխնոլոգիաների փոքրացմանը զուգընթաց աճում է և կանոնների քանակը, և դրանց բարդությունը: Տեխնոլոգիաները դրանց ֆիզիկապես փոքրացումից և հետևաբար դրանցում ֆիզիկական երկրաչափությունների փոքրացումից բացի, ունենում են նաև այլ հատկություններ, որոնցից է, այսպես կոչված, գունավոր, կամ ներկված տեխնոլոգիան (ՆՏ): Այսպիսի տեխնոլոգիաներում որոշ արտադրվող շերտեր (մետաղներ), բացի իրենց շերտի հատկություններից, ունենում են նաև գույն, որից կախված՝ դրանցով տոպոլոգիայում առկա բոլոր երկրաչափությունները ենթարկվում են ոչ միայն այդ շերտի ֆիզիկական նախագծման կանոններին, այլ նաև տվյալ գույնի շերտի կանոններին, ինչն էապես բարդացնում է այդ կանոններին բավարարելը, ինչպես նաև զգալիորեն ավելացնում է կանոնների ընդհանուր քանակը: Այդ գույնները հետագայում արտադրվող չեն, այսինքն՝ նույն շերտի երկու տարբեր գույն ունեցող երկրաչափություններն արտադրվելիս միևնույն մետաղն են, ուղղակի դրանք

արտադրվելու են տարբեր դիմակներով: 14-նմ տեխնոլոգիան հենց ՆՏ է: Նախագծման կանոնները նախագծողին հասկանալի դարձնելու համար դրանք որոշակի կերպով նկարագրվում են: Յուրաքանչյուր կանոն նկարագրվում է մի կամ մի քանի նախադասությամբ, անգլերեն լեզվով, գրաֆիկական նկարներով, որոնց նպատակն է կանոնների երկրաչափական նկարագրությունը և դրանց կիրառման դեպքերը ցուցադրելը (նկ. 2):



Նկ. 2. Նախագծման կանոնի գրաֆիկական ներկայացման օրինակ

ՆԿ-ների մշակման գործընթացը: Նախքան ՆԿ-ների մշակումը, կատարվել է այդ կանոնների դասակարգումը ըստ առաջնահերթության: Դա կատարվել է հետևյալ մոտեցմամբ. նախորդ տեխնոլոգիայով առանց նախագծման կանոնները պահպանելու իրականացվել է մի շարք բջիջների ֆիզիկական նախագծում: Այնուհետև, նույն տեխնոլոգիայով կատարվել է վերջիններիս ստուգումը: Ստուգման պրոցեսն ավարտելուց հետո ուղղվել են ֆիզիկական նախագծի այն հատվածները, որտեղ նկատվել են նախագծման կանոնների խախտումներ: Այն խախտումները, որոնց ուղղման պարագայում ոչ միայն վերացել են տվյալ կանոնի խախտումները, այլև նվազել է մնացած կանոնների խախտումների քանակները, համարվել են առաջնահերթ: Այդ կանոնների թվին են դասվում կոնտակտների չափերը, մետաղների նվազագույն հաստությունները, մետաղների միջև նվազագույն հեռավորությունները և այլն:

Առաջնահերթությունը որոշելուն հաջորդել է այդ կանոնների մշակումը: ՆԿ-ները մշակվել են երկու մոտեցմամբ. նախ օգտագործվել են տարբեր գիտական հրապարակումներ [4], որոնցում նշված են ֆիզիկական տեսքերի հետ կապված որոշակի սովորույթներ: Մյուս մոտեցումը հիմնված է եղել նախորդ տեխնոլոգիաներով մշակված ՆԿ-ների վրա [5]: Օրինակ, մետաղի նվազագույն մակերեսը 90-նմ տեխնոլոգիայում A_1 է, 45-նմ՝ A_2 , իսկ 32-նմ՝ A_3 , այդ մեծությունների միջև նկատվել է որոշակի օրինաչափություն և էքստրապոլյացիայի մեթոդով որոշվել է A_4 -ը, որը մետաղի նվազագույն մակերեսի թվային արժեքն է 14 նմ/տեխնոլոգիայում: Այդ մեծությունների մի մասը համեմատվել է արտադրական տեխնոլոգիայի նախագծման կանոնների հետ, և նկատվել է, որ տարբերությունը թույլատրելի սահմաններում է գտնվում:

Այդուսակում բերված է մշակված կանոնների ցուցակից մի հատված:

Աղյուսակ

Նախագծման կանոնների ցանկ

Պարամետրեր	Արժեքը 14-նմ-անոց եռաչափ փականով տրանզիստորի (FinFET) դեպքում	Մեկնաբանություն
$L_{\text{հն}}$	14 նմ	“Ֆինի” լայնությունը
$T_{\text{սի}}$	3.5 նմ	“Ֆինի” երկարությունը
$H_{\text{հն}}$	14 նմ	“Ֆինի” բարձրությունը
$P_{\text{ֆին}}$	10.5 նմ	Զուգահեռ “Ֆին”-երի կենտրոնների միջև հեռավորությունը
$T_{\text{օքս}}$	1.55 նմ	Օքսիդի հաստությունը
$W_{\text{գ}}$	10.5 նմ	Կոնտակտի նվազագույն երկարությունը
$W_{\text{մտ}}$	10.5 նմ	Մետաղների միջև նվազագույն հեռավորությունը
$W_{\text{փպ}}$	7 նմ	Փականի և կոնտակտի միջև նվազագույն հեռավորությունը

В.Ш. Меликян, М.К. Мартиросян

РАЗРАБОТКА ПРАВИЛ ФИЗИЧЕСКОГО ПРОЕКТИРОВАНИЯ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ 14-НАНОМЕТРОВОГО ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА

Представлена разработка правил проектирования интегральных схем (ИС). Решен список минимального количества правил. Разработка правил проектирования была реализована в два подхода: были использованы правила из библиотек с открытым доступом, спроектированных более большими технологиями, а также цифры, использованные в разных исследовательских работах. Спроектированы разные цифровые и аналоговые ИС с использованием этих правил проектирования. Правила проектирования были созданы с 14-нанометровой технологией для реализации физических проектов непроизводственных ИС.

Ключевые слова: трехмерный транзистор, правила проектирования, библиотека проектирования, физический проект, специализированный маршрут проектирования.

V.Sh. Melikyan, M.K. Martirosyan

PHYSICAL DESIGN RULE DEVELOPMENT FOR 14NM INTEGRATED CIRCUITS

The development of design rules for integrated circuits (IC) is presented. A list of minimum rules has been defined. The development of design rules was implemented in two approaches: rules from open access libraries designed by larger technologies were used, as well as the numbers used in various research papers. Different digital and analog ICs were designed using these design rules. Design rules were developed by 14 nm technology to implement physical projects of non-production ICs.

Keywords: FinFET transistor, design rules, design kit, physical design, custom design flow.

Մելիքյան Վազգեն Շավարշի – ՀՀ ԳԱԱ թղթակից անդամ, տ.գ.դ., պրոֆ. (<<Սինոփսիս Արմենիա>> ՓԲԸ)
Մարտիրոսյան Մերուժան Կարապետի – ասպիրանտ (<ԱՊՀ)

Ընդհանուր հաշվով մշակվել է մոտ 120 կանոն, որոնք իրենց մեջ ներառում են ինչպես ընդհանուր, այնպես էլ տվյալ տեխնոլոգիայի համար հատուկ կանոններ:

Այդ կանոնների հիման վրա նախագծվել են տարբեր բջիջների տոպոլոգիաներ, որոնք համեմատվել են տվյալ տեխնոլոգիային մոտ այլ տեխնոլոգիաներով նախագծված տոպոլոգիաների հետ: Մակերեսների հարաբերությունը եղել է թույլատրելի սահմաններում:

Եզրակացություն: Այսպիսով, 14նմ տեխնոլոգիայի համար մշակվել է մոտ 150 նախագծման կանոններ: Այդ կանոնների մշակման համար կիրառվել է երկու մոտեցում՝ վերցվել են տարբեր գիտական աշխատանքներում օգտագործված թվերը, օգտագործվել են նախորդ տեխնոլոգիաներում մշակված կանոնները՝ օրինաչափությունը պարզելու համար: Մշակված կանոնների միջոցով կատարվել են տարբեր ֆիզիկական նախագծեր, որոնք համեմատվել են այդ տեխնոլոգիային մոտ այլ տեխնոլոգիաներով կատարված նախագծերի հետ: Արդյունքները եղել են թույլատրելի սահմաններում:

Գրականություն

1. **Melikyan V., Harutyunyan A., Matevosyan A.** Physical Design Implementation, Armenia, 2014.
2. **Tetsu Tanaka.** 3D-IC technology and reliability challenges, Junction Technology (IWJT) // 2017 17th International Workshop on Junction Technology (IWJT). - Uji, Japan, 1-2 June 2017.
3. **Iov Cătălin J., Hnatiuc M., Design Rule Checking.** Current Challenges Approached With HyperLynx DRC // 2018 IEEE 24th International Symposium for Design and Technology in Electronic Packaging (SIITME). - Romania, 25-28 Oct. 2018.
4. 7nm FinFET standard cell layout characterization and power density prediction in near- and super-threshold voltage regimes / **T. Cui, Q. Xie, Y. Wang, Sh. Nazarian, M. Pedram** // International Green Computing Conference. - Dallas, TX, USA, 3-5 Nov. 2014.
5. 32/28nm Educational Design Kit: Capabilities, deployment and future / **R. Godman, K. Bartleson, T. Wood, K. Kranen, V. Melikyan, E. Babayan,** // 2013 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia). - 2013.

10.05.2019.



(Բախճովագույն ունումնական հաստատության անդամում):

95764217-8040-3117

AB № 211644

2016 թվականի
ՔՆՆԱԿԱՆ ՀԱՅՅԱՄԺՈՂՈՎԻ

«17»-н ПРОДУКТ

Абсолютная влажность воздуха

(თქმით, 'თქმით' (თქმით))

ΣΥΝΕΧΕΙΣ

Surprinsă înarmată

ԲԱԿԱԼԱՄԱՆԴ

Wushu

«Философия и поэзия»

ԿԱՍՆԱԳԻՏՈՒԹՅԱՆ



A-talyqymy

10. *Imuldar* 2016. D. *Eshul* 03011

ԴԻՊԼՈՄԸ ՊԵՏԱԿԱՆ ՓԱՏԱՍԽՈՒՊԸ Է ԲԱՐՉՊԱԳՈՒՅՆ ԿՐԹՈՒԹՅԱՆ ՄԱՍԻՆ:

РЕСПУБЛИКА АРМЕНИЯ
Национальный политический университет
Ашот Минасян (наименование)

РЕСПУБЛИКА АРМЕНИЯ
ПОЛИТЕХНИЧЕСКАЯ
УНИВЕРСИТЕТ
ДЛЯ
СОВЕТСКОГО
АВ № 21164/4

РЕШЕНИЕМ ГОСУДАРСТВЕННОЙ ЭКЗАМЕНАЦИОННОЙ КОМИССИИ

OT "16" BMW 2010 FOLIA

Мартиросяну Мерусяну Карачетовичу
(Фамилия, имя, отчество)

(фамилия, имя, отчество)

ПРИСУЖДЕНА СТЕПЕНЬ БАКАЛАВРА

инженерии



Информатика и вычислительная техника.

**Председатель государственной
экзаменационной комиссии**

10 " июль 2016 г. Эфенд
Ректор
Регистрационный № 0-3011

Регистрационный № 03011

ДИПЛОМ ЯВЛЯЕТСЯ ГОСУДАРСТВЕННЫМ ДОКУМЕНТОМ О ВЫСШЕМ ОБРАЗОВАНИИ

REPUBLIC OF ARMENIA
National Polytechnic University of Armenia
(higher educational establishment)

(higher educational establishment

DIPLOMA
WITH HONOUR

AB № 211644

BY THE RESOLUTION OF THE STATE EXAMINATION COMMISSION OF

May 2016

Merushan Martirosyan
(first name, last name)

(first name, last name)

IS AWARDED THE BACHELOR'S DEGREE

in Engineering

IN THE FIELD OF
Informatics and Computer Science."



Rector

10 June 2016
Terevan
Registration No 03014

Registration No 0-3014

DIPLOMA IS THE STATE DOCUMENT OF THE HIGHER EDUCATION



ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅՈՒՆ

ԳԱՐ ԳԻՏԱԿԹԱՆԱՆ ՄԻՋԱԶԳԱՅԻՆ ԿԵՆՏՐՈՆ

(ստորագրողի ուսումնական հաստատության անվանումը)

Դ Ի Պ Լ Ո Մ

AM № 073007

ՊԵՏԱԿԱՆ ԲՆԱԿԱՆ ՀԱՆՐԱՄԵՐՈՂՈՎԻ 2018 ԹՎԱԿԱՆԻ

մայիսի « 19 »-ի ՈՐՈՇՄԱՐԸ

Մեծարժանի Վարչապետի Մարզերությունների

(ստորագրողի, ստորագրող)

ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ

Գրքերությունների

ՄԱԳԻՍՏՐՈՍԻ

ԱՍՏԻԳՆԱԿԱՆ

«Գրքերությունների (համալսարանական գրքերություն)»

ՄԱՍՆԱԳԻՏՈՒԹՅԱՆ

Պրոֆեսորական և
համալսարանական

Ուսուցիչ

[Signature]

« 12 » 2018 թ. Գրքերություն № 4233

հունիսի

ԳԻՐՈՒՄԸ ՊԵՏԱԿԱՆ ՓԱՍՏԱԳՈՒՂՈՒՄ Է ՔԱՐԴՈՎԱԳՈՒՄՆ ԿՐԹՈՒԹՅԱՆ ՄԱՍԻՆ

РЕСПУБЛИКА АРМЕНИЯ

НАН МЕЖДУНАРОДНЫЙ НАУЧНО-ОБРАЗОВАТЕЛЬНЫЙ ЦЕНТР

(наименование высшего учебного заведения)

ДИПЛОМ

AM № 073007

РЕШЕНИЕМ ГОСУДАРСТВЕННОЙ ЭКЗАМЕНАЦИОННОЙ КОМИССИИ

ОТ « 19 » мая 2018 ГОДА

Мартirosyan Մարգարիտայի Կարգադրություն

(фамилия, имя, отчество)

ПРИСУЖДЕНА СТЕПЕНЬ МАГИСТРА

магистрат

ПО СПЕЦИАЛЬНОСТИ

Информатика /համակարգչային գիտություն/

Председатель государственной
экзаменационной комиссии

Ректор

« 12 » мая 2018 г. Ереван. Регистрационный № 4233

ДИПЛОМ ЯВЛЯЕТСЯ ГОСУДАРСТВЕННЫМ ДОКУМЕНТОМ О ВЫСШЕМ ОБРАЗОВАНИИ

РЕПУБЛИКА АРМЕНИЯ

INTERNATIONAL SCIENTIFIC-EDUCATIONAL CENTER OF NAS

(higher educational establishment)

DIPLOMA

AM № 073007

BY THE RESOLUTION OF THE STATE EXAMINATION COMMISSION OF

« 19 » мая 2018

Мартirosyan

(first name, last name)

IS AWARDED THE MASTER'S DEGREE

of Informatics

IN THE FIELD OF

"Informatics (Computer science)"

Chairman of the State Examination Commission

Rector

« 12 » July 2018 г. Ереван. Регистрационный № 4233

DIPLOMA IS THE STATE DOCUMENT OF THE HIGHER EDUCATION